

КОНСПЕКТ ЛЕКЦИЙ

по курсу

Информационно-измерительная техника и электроника

2 семестр

Основы цифровой электроники.

Основы алгебры логики.

Для начала дадим несколько базовых определений.

Сигнал - это любая физическая величина (например, температура, давление воздуха, интенсивность света, сила тока и т.д.), изменяющаяся со временем. Именно благодаря этому изменению сигнал может нести в себе какую-то информацию.

Электрический сигнал - это электрическая величина (например, напряжение, ток, мощность), изменяющаяся со временем. Вся электроника в основном работает с электрическими сигналами, хотя сейчас все больше используются световые сигналы, которые представляют собой изменяющуюся во времени интенсивность света.

Аналоговый сигнал - это сигнал, который может принимать любые значения в определенных пределах (например, напряжение может плавно изменяться в пределах от нуля до десяти вольт). Устройства, работающие только с аналоговыми сигналами, называются аналоговыми устройствами. Название "аналоговый" подразумевает, что сигнал изменяется аналогично физической величине, то есть непрерывно.

Цифровой сигнал - это сигнал, который может принимать только два (иногда - три) значения, причем разрешены некоторые отклонения от этих значений (рис. 1.1). Например, напряжение может принимать два значения: от 0 до 0,5 В (уровень нуля) или от 2,5 до 5 В (уровень единицы). Устройства, работающие исключительно с цифровыми сигналами, называются цифровыми устройствами.

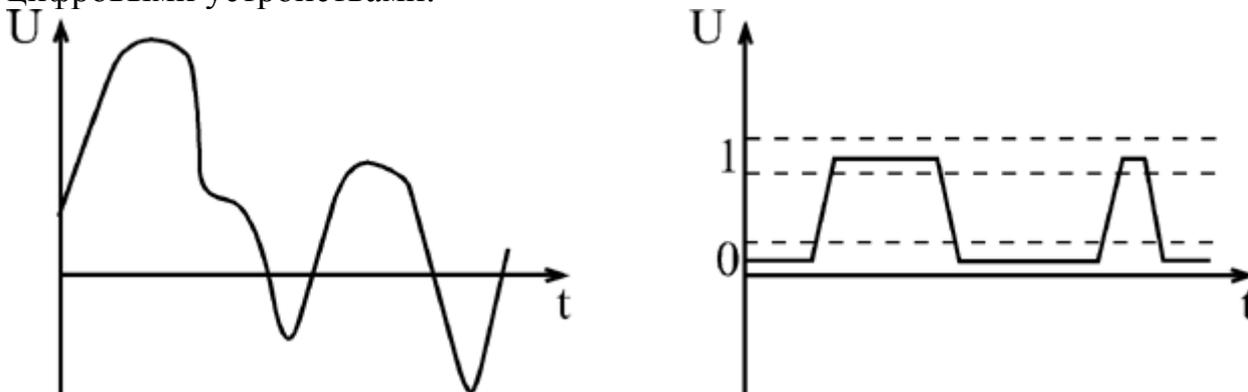


Рис. 1.1. Электрические сигналы: аналоговый (слева) и цифровой (справа)

Можно сказать, что в природе практически все сигналы - аналоговые, то есть они изменяются непрерывно в каких-то пределах. Именно поэтому первые электронные устройства были аналоговыми. Они преобразовывали

физические величины в пропорциональные им напряжение или ток, производили над ними какие-то операции и затем выполняли обратные преобразования в физические величины. Например, голос человека (колебания воздуха) с помощью микрофона преобразуется в электрические колебания, затем эти электрические сигналы усиливаются электронным усилителем и с помощью акустической системы снова преобразуются в колебания воздуха - в более сильный звук.

Однако аналоговые сигналы и работающая с ними аналоговая электроника имеют большие недостатки, связанные именно с природой аналоговых сигналов. Дело в том, что аналоговые сигналы чувствительны к действию всевозможных паразитных сигналов - шумов, наводок, помех. Шум - это внутренние хаотические слабые сигналы любого электронного устройства (микрофона, транзистора, резистора и т.д.). Наводки и помехи - это сигналы, приходящие на электронную систему извне и искажающие полезный сигнал (например, электромагнитные излучения от радиопередатчиков или от трансформаторов)

Все операции, производимые электронными устройствами над сигналами, можно условно разделить на три большие группы:

- обработка (или преобразование);
- передача;
- хранение.

Во всех этих трех случаях полезные сигналы искажаются паразитными - шумами, помехами, наводками. Кроме того, при обработке сигналов (например, при усилении, фильтрации) еще и искажается их форма - из-за несовершенства, неидеальности электронных устройств. А при передаче на большие расстояния и при хранении сигналы к тому же ослабляются.

В случае аналоговых сигналов все это существенно ухудшает полезный сигнал, так как все его значения разрешены (рис. 1.2). Поэтому каждое преобразование, каждое промежуточное хранение, каждая передача по кабелю или эфиру ухудшает аналоговый сигнал, иногда вплоть до его полного уничтожения. Надо еще учесть, что все шумы, помехи и наводки принципиально не поддаются точному расчету, поэтому точно описать поведение любых аналоговых устройств абсолютно невозможно. К тому же со временем параметры всех аналоговых устройств изменяются из-за старения элементов, поэтому характеристики этих устройств не остаются постоянными.

В отличие от аналоговых, цифровые сигналы, имеющие всего два разрешенных значения, защищены от действия шумов, наводок и помех гораздо лучше. Небольшие отклонения от разрешенных значений никак не искажают цифровой сигнал, так как всегда существуют зоны допустимых отклонений (рис. 1.2). Именно поэтому цифровые сигналы допускают гораздо более сложную и многоступенчатую обработку, гораздо более длительное хранение без потерь и гораздо более качественную передачу, чем аналоговые. К тому же поведение цифровых устройств всегда можно абсолютно точно рассчитать и предсказать. Цифровые устройства гораздо

меньше подвержены старению, так как небольшое изменение их параметров никак не отражается на их функционировании. Кроме того, цифровые устройства проще проектировать и отлаживать. Понятно, что все эти преимущества обеспечивают бурное развитие цифровой электроники.

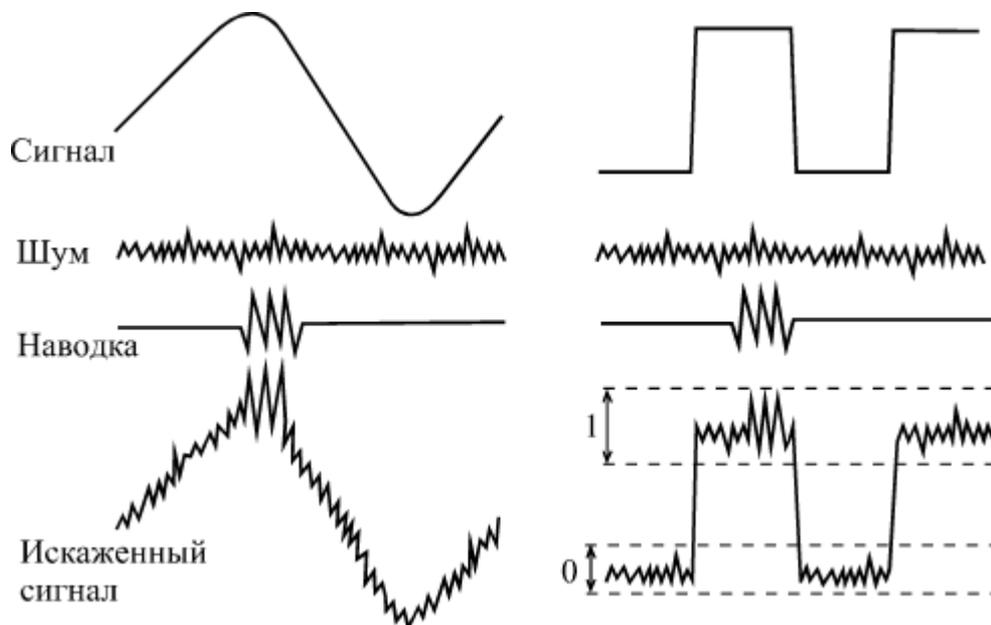


Рис. 1.2. Искажение шумами и наводками аналогового (слева) и цифрового (справа) сигналов

Однако у цифровых сигналов есть и крупный недостаток. Дело в том, что на каждом из своих разрешенных уровней цифровой сигнал должен оставаться хотя бы в течение какого-то минимального временного интервала, иначе его невозможно будет распознать. А аналоговый сигнал может принимать любое свое значение бесконечно малое время. Можно сказать и иначе: аналоговый сигнал определен в непрерывном времени (то есть в любой момент времени), а цифровой - в дискретном (то есть только в выделенные моменты времени). Поэтому максимально достижимое быстродействие аналоговых устройств всегда принципиально больше, чем цифровых. Аналоговые устройства могут работать с более быстро меняющимися сигналами, чем цифровые. Скорость обработки и передачи информации аналоговым устройством всегда может быть выше, чем скорость обработки и передачи цифровым устройством.

Кроме того, цифровой сигнал передает информацию только двумя уровнями и изменением одного своего уровня на другой, а аналоговый - еще и каждым текущим значением своего уровня, то есть он более емкий с точки зрения передачи информации. Поэтому для передачи того объема информации, который содержится в одном аналоговом сигнале, чаще всего приходится использовать несколько цифровых (чаще всего от 4 до 16).

К тому же, как уже отмечалось, в природе все сигналы - аналоговые, то есть для преобразования их в цифровые и обратного преобразования требуется применение специальной аппаратуры (аналого-цифровых и цифро-

аналоговых преобразователей). Так что ничто не дается даром, и плата за преимущества цифровых устройств может порой оказаться неприемлемо большой.

Уровни представления цифровых устройств

Все цифровые устройства строятся из логических микросхем, каждая из которых (рис. 1.3) обязательно имеет следующие выводы (или, как их еще называют в просторечии, "ножки"):

- выводы питания: общий (или "земля") и напряжения питания (в большинстве случаев — +5 В или +3,3 В), которые на схемах обычно не показываются;
- выводы для входных сигналов (или ""входы"), на которые поступают внешние цифровые сигналы;
- выводы для выходных сигналов (или "выходы"), на которые выдаются цифровые сигналы из самой микросхемы.

Каждая микросхема преобразует тем или иным способом последовательность входных сигналов в последовательность выходных сигналов. Способ преобразования чаще всего описывается или в виде таблицы (так называемой таблицы истинности), или в виде временных диаграмм, то есть графиков зависимости от времени всех сигналов.

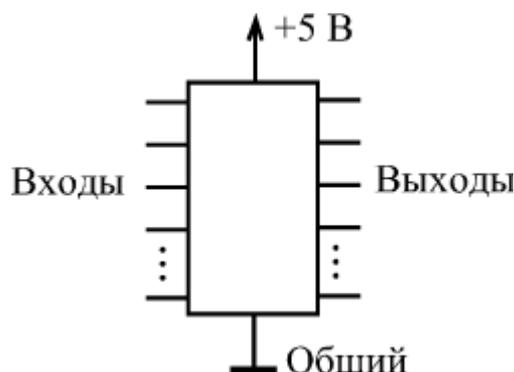


Рис. 1.3. Цифровая микросхема

Все цифровые микросхемы работают с логическими сигналами, имеющими два разрешенных уровня напряжения. Один из этих уровней называется уровнем логической единицы (или единичным уровнем), а другой — уровнем логического нуля (или нулевым уровнем). Чаще всего логическому нулю соответствует низкий уровень напряжения, а логической единице — высокий уровень. В этом случае говорят, что принята "положительная логика". Однако при передаче сигналов на большие расстояния и в системных шинах микропроцессорных систем порой используют и обратное представление, когда логическому нулю соответствует высокий уровень напряжения, а логической единице — низкий уровень. В этом случае говорят об "отрицательной логике". Иногда логический нуль кодируется положительным уровнем напряжения (тока), а логическая единица — отрицательным уровнем напряжения (тока), или

наоборот. Есть и более сложные методы кодирования логических нулей и единиц. Но мы в основном будем говорить о положительной логике.

Для описания работы цифровых устройств используют самые различные модели, отличающиеся друг от друга сложностью, точностью, большим или меньшим учетом тонких физических эффектов. В основном эти модели используются при компьютерных расчетах цифровых схем. В настоящее время существуют компьютерные программы, которые не только рассчитывают готовые схемы, но способны и проектировать новые схемы по формализованным описаниям функций, которые данное устройство должно выполнять. Это довольно удобно, но ни одна программа никогда не может сравниться с человеком. По-настоящему эффективные, минимизированные по аппаратуре, наконец, красивые схемы может разрабатывать только человек, который всегда подходит к проектированию творчески и использует оригинальные идеи.

Разработчик цифровой аппаратуры тоже использует своеобразные модели или, как еще можно сказать, различные уровни представления цифровых схем. Но, в отличие от компьютера, человек может гибко выбирать нужную модель — ему надо только взглянуть на схему, чтобы понять, где достаточно простейшей модели, а где требуется более сложная. То есть человек никогда не будет делать лишней, избыточной работы и, следовательно, не будет вносить дополнительных ошибок, свойственных любой, даже самой сложной, модели. Правда, простота цифровых устройств по сравнению с аналоговыми обычно не провоцирует на чересчур серьезные ошибки.

В подавляющем большинстве случаев для разработчика цифровых схем достаточно трех моделей, трех уровней представления о работе цифровых устройств:

1. Логическая модель.
2. Модель с временными задержками.
3. Модель с учетом электрических эффектов (или электрическая модель).

Опыт показывает, что первой, простейшей модели достаточно примерно в 20% всех случаев. Она применима для всех цифровых схем, работающих с низкой скоростью, в которых быстродействие не принципиально. Привлечение второй модели, учитывающей задержки срабатывания логических элементов, позволяет охватить около 80% всех возможных схем. Ее применение необходимо для всех быстродействующих устройств и для случая одновременного изменения нескольких входных сигналов. Наконец, добавление третьей модели, учитывающей входные и выходные токи, входные и выходные сопротивления и емкости элементов, дает возможность проектирования практически 100% цифровых схем. В первую очередь, эту третью модель надо применять при объединении нескольких входов и выходов, при передаче сигналов на большие расстояния и при нетрадиционном включении логических элементов (с переводом их в аналоговый или в линейный режимы).

Кодирование цифровой информации

Обозначение различной цифровой информации соответствующими символами называется кодированием, а состав символов для данной информации – алфавитом этого кода. Из множества возможных интерпретаций на практике используются только те, которые нужны для получения специальных средств кода в каждом конкретном случае. Код выбирают таким образом, чтобы дальнейшее преобразование информации выполнялось возможно проще, а именно – чтобы легче было реализовать арифметические операции, подсчет сигналов, расшифровку кода (декодирование), обнаружение и исправление ошибок, приведение к виду, удобному для использования внешними устройствами и т.д.

Известно большое количество кодов, систематизация и классификация которых из-за их многочисленных признаков является довольно затруднительной. Мы рассмотрим лишь некоторые разновидности кодов.

Классификация кодов.

Все коды можно разделить на две самостоятельные группы. К первой относятся коды, в которых используются все возможные комбинации – избыточные коды. В литературе их называют еще простыми и первичными. Ко второй относятся коды, в которых используется лишь часть всех возможных комбинаций. Такие коды называются избыточными. Оставшаяся часть комбинаций не несет информации о числах, а служит для обнаружения ошибок, возникающих при передаче или обработке сообщений.

Те и другие коды, в свою очередь, подразделяются на равномерные и неравномерные. Равномерные коды – это коды, все комбинации которых содержат постоянное количество разрядов. Неравномерные коды содержат кодовые комбинации с различным числом разрядов. Типичным представителем неравномерных кодов является используемая в телеграфии азбука Морзе, в которой каждому символу соответствует разное общее количество тире и точек. Ввиду ограниченного применения неравномерных кодов в дальнейшем их рассматривать не будем.

Все коды, служащие для представления чисел, можно разбить на две группы – взвешенные и не взвешенные коды. Взвешенные коды – такие коды, в которых каждому разряду присваивается определенный вес. Например, натуральный двоичный код является взвешенным кодом, поскольку каждому разряду соответствует вес, равный степени числа 2. Невзвешенные коды – это коды, разрядам которых нельзя присвоить веса, а соответствие кода и числа устанавливается каким-либо иным способом.

Двоично-десятичные коды. Для выражения каждой десятичной цифры (0, 1, 2, ..., 9) нужны четыре двоичные цифры, то есть четыре бита, которые позволяют получить $2^4 = 16$ комбинаций. Так как из 16 комбинаций 6 являются избыточными, то общее число всех возможных кодов из 4 бит равно $16!/6! \approx 2,9 \cdot 10^{10}$. Однако на практике используются только такие коды, которые обеспечивают самую рациональную и простую обработку цифровой

информации. Чаще всего используются взвешенные двоично-десятичные коды, позволяющие достаточно просто переводить десятичные цифры $(X)_{10}$ в двоичные $(X)_2$ по формуле

$$(X)_{10} = a_3 x_3 + a_2 x_2 + a_1 x_1 + a_0 x_0, \quad (1.1)$$

где символы $a_3 \dots a_0$ являются постоянными весовыми коэффициентами соответствующего кода, а символы $x_3 \dots x_0$ – двоичные цифры 1 или 0. Существуют различные взвешенные двоично-десятичные коды $a_3 \dots a_0$, например: 8421, 7421, 7321, 6421, 6321, 6311, 6221, 5421, 5311, 5221, 5211, 4421, 4321, 4311, 4221 и 3331. В коде 8421 $a_3 = 8$, $a_2 = 4$, $a_1 = 2$, $a_0 = 1$. Кодовые комбинации, соответствующие тем или иным символам, в различных кодах легко определяются из выражения (1.1). Например,

$$(7)_{10} = 8 \cdot 0 + 4 \cdot 1 + 2 \cdot 1 + 1 \cdot 1 = (0111)_{8421};$$

$$(7)_{10} = 5 \cdot 1 + 2 \cdot 1 + 1 \cdot 0 + 1 \cdot 0 = (1100)_{5211};$$

$$(7)_{10} = 5 \cdot 1 + 2 \cdot 0 + 1 \cdot 1 + 1 \cdot 1 = (1011)_{5211}.$$

Как видно, представление числа в коде 5211 не является однозначным, т.е. одному и тому же числу соответствуют две кодовых комбинаций. Неоднозначность имеют все взвешенные двоично-десятичные коды, за исключением кода 8421. При использовании неоднозначных кодов необходимо заранее обуславливать, какая комбинация соответствует данной цифре. В таблице 1.1 приведены кодовые комбинации, соответствующие представлению десятичных цифр в различных двоично-десятичных кодах.

Коды I – IV, VI, VII являются взвешенными, коды V и VIII – невзвешенными.

Таблица 1.1

Некоторые двоично-десятичные коды

| $(X)_{10}$ | Несамодополняющиеся коды | | | | | Самодополняющиеся Коды | | |
|------------|--------------------------|------|------|------|--------------|------------------------|------|--------------|
| | I | II | III | IV | V | VI | VII | VIII |
| | 8421 | 6121 | 5211 | 4221 | невзвешенный | 2421 | 4221 | с избытком 3 |
| 0 | 0000 | 0000 | 0000 | 0000 | 0000 | 0000 | 0000 | 0011 |
| 1 | 0001 | 0001 | 0001 | 0001 | 0001 | 0001 | 0001 | 0100 |
| 2 | 0010 | 0010 | 0011 | 0010 | 0010 | 0010 | 0010 | 0101 |
| 3 | 0011 | 0011 | 0101 | 0011 | 0011 | 0011 | 0101 | 0110 |
| 4 | 0100 | 0100 | 0111 | 0110 | 0110 | 0100 | 1000 | 0111 |
| 5 | 0101 | 0101 | 1000 | 0111 | 0111 | 1011 | 0111 | 1000 |
| 6 | 0110 | 1000 | 1001 | 1010 | 1110 | 1100 | 1010 | 1001 |
| 7 | 0111 | 1001 | 1011 | 1011 | 1111 | 1101 | 1101 | 1010 |
| 8 | 1000 | 1010 | 1101 | 1110 | 1100 | 1110 | 1110 | 1011 |
| 9 | 1001 | 1011 | 1111 | 1111 | 1101 | 1111 | 1111 | 1100 |

Коды VI–VIII называются самодополняющимися кодами. Дополняющие свойства этих кодов заключаются в том, что двум десятичным

цифрам, сумма которых равна 9, соответствуют две дополняющие комбинации. Например, числу 3 в коде 2421 соответствует комбинация 0011, а числу 6, являющемуся дополнением числа 3 до 9, – комбинация 1100. С самодополняющихся кодах дополнение возникает простой заменой единицы нулем и нуля единицей. Самодополняющимся кодом является также невзвешенный код с избытком 3. Он получается добавлением числа $(3)_{10} = (0011)_2$ к числу в коде 8421 и удобен для арифметических операций, так как при сложении довольно просто можно определить необходимость коррекции результата. А так как это самодополняющийся код, то он может быть использован при вычитании, основанном на сложении в обратном и дополнительном кодах.

Типовые коды, часто используемые в цифровой электронике

Кроме представленных двоично-десятичных кодов на практике применяются и другие как четырехразрядные (четырёхэлементные) коды, так и коды с большим числом разрядов.

Код Грея. Этот код относится к циклическим кодам, характеризующимся тем, что комбинации двоичных цифр, отображающие числа, которые отличаются друг от друга на единицу, разнятся только в одном разряде. Это свойство кода Грея весьма ценно для преобразователей линейного перемещения или кругового движения какого-либо устройства в цифровой код, так как погрешность не превышает единицы младшего разряда.

Код Грея легко получается из натурального двоичного кода путем суммирования по модулю два цифр соседних разрядов. Если число $x_3 x_2 x_1 x_0$ – представление числа X в двоичной системе счисления (в натуральном двоичном коде), а число $y_3 y_2 y_1 y_0$ – представление того же числа в коде Грея, то между ними существуют следующие соотношения:

$$\begin{aligned}
 y_3 &= x_3; & x_3 &= y_3; \\
 y_2 &= x_3 \oplus x_2; & x_2 &= y_3 \oplus y_2; \\
 y_1 &= x_2 \oplus x_1; & x_1 &= y_3 \oplus y_2 \oplus y_1; \\
 y_0 &= x_1 \oplus x_0; & x_0 &= y_3 \oplus y_2 \oplus y_1 \oplus y_0.
 \end{aligned}
 \tag{1.2}$$

Код Грея, полученный с помощью выражений (1.2), представлен в таблице 1.2. Этот код является неизбыточным кодом.

Таблица 1.2

| Код Грея | | | | | | | | |
|--------------|---------------------------------|-------|-------|-------|----------|-------|-------|-------|
| Число S | Натуральный двоичный код (8421) | | | | Код Грея | | | |
| | x_3 | x_2 | x_1 | x_0 | y_3 | y_2 | y_1 | y_0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 |
| 2 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 |
| 3 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 0 |
| 4 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 |
| 5 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 1 |
| 6 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 1 |
| 7 | 0 | 1 | 1 | 1 | 0 | 1 | 0 | 0 |
| 8 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 |
| 9 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 1 |
| 10 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 |
| 11 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 0 |
| 12 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 0 |
| 13 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 |
| 14 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 |
| 15 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 |

Код Джонсона. Последовательность чисел в этом коде моделируется односторонним последовательным заполнением его разрядов вначале единицами, а затем нулями (таблица 1.3). Код Джонсона легко формируется с помощью регистров сдвига и легко дешифруется.

Таблица 1.3

| S | Код Джонсона | Код "1 из 8" |
|-----|--------------|-----------------|
| 0 | 0 0 0 0 | 0 0 0 0 0 0 0 1 |
| 1 | 0 0 0 1 | 0 0 0 0 0 0 1 0 |
| 2 | 0 0 1 1 | 0 0 0 0 0 1 0 0 |
| 3 | 0 1 1 1 | 0 0 0 0 1 0 0 0 |
| 4 | 1 1 1 1 | 0 0 0 1 0 0 0 0 |
| 5 | 1 1 1 0 | 0 0 1 0 0 0 0 0 |
| 6 | 1 1 0 0 | 0 1 0 0 0 0 0 0 |
| 7 | 1 0 0 0 | 1 0 0 0 0 0 0 0 |

Код "1 из m ". Весьма интересным кодом является код "1 из m ", представленный для случая $m=8$ в табл. 1.3. Этот код характерен тем, что в любой кодовой комбинации присутствует только одна единица, что

позволяет легко находить ошибки в случае искажения кода, и не требуется его дешифрация. Данный код, как и код Джонсона, является избыточным, требующим для своего изображения больше разрядов, чем соответствующие неизбыточные коды.

Кроме рассмотренных кодов существуют также другие самые разнообразные избыточные и неизбыточные коды.

Основы цифровой электроники.

Классификация цифровых устройств

Цифровые устройства обрабатывают информацию, представленную цифровыми кодами. На вход цифрового устройства поступает множество комбинаций двоичных переменных $x_{k-1}, x_{k-2}, \dots, x_1, x_0$, с выхода снимается множество двоичных переменных $y_{m-1}, y_{m-2}, \dots, y_1, y_0$. В дальнейшем удобно многозначное число представить вектором, имеющим своими координатами двоичные переменные:

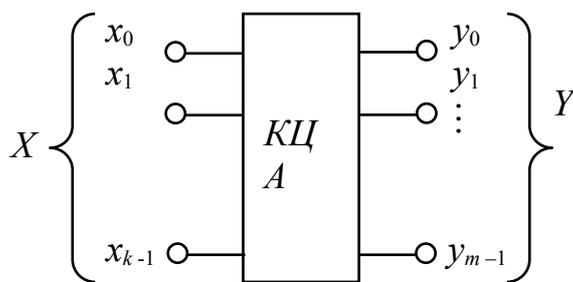
$$X = \{x_{k-1}, x_{k-2}, \dots, x_1, x_0\};$$

$$Y = \{y_{m-1}, y_{m-2}, \dots, y_1, y_0\}.$$

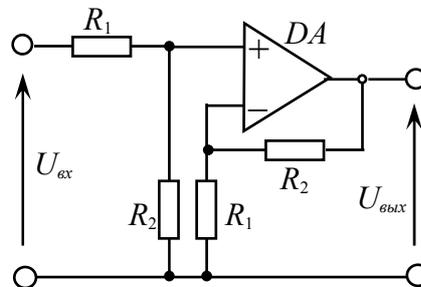
(1.5)

Поскольку каждое цифровое устройство оперирует с величинами, квантованными по уровню и дискретизированными по времени, номер такта работы будем обозначать в виде показателя сверху справа над переменной. Например, запись x_i^n означает значение x_i переменной в n -м такте работы.

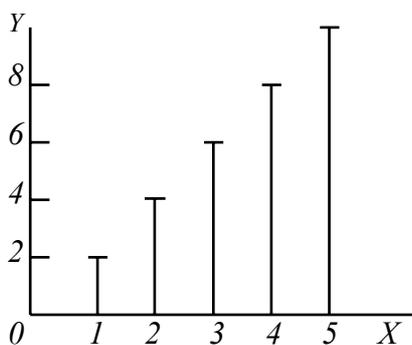
Характер связи входных и выходных переменных с учетом их изменения по тактам работы служит для деления цифровых устройств на две группы – комбинационные и последовательностные.



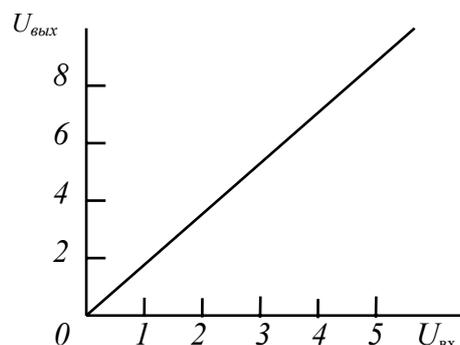
$$Y = F(X) = 2 \cdot X$$



$$U_{\text{вых}} = \frac{R_2}{R_1} U_{\text{ex}} = 2U_{\text{ex}}$$



а)



б)

Рис. 1.4. Комбинационный цифровой автомат (а)
и его аналоговый эквивалент (б)

В *комбинационных цифровых устройствах* (рис. 1.4, а) совокупность выходных сигналов Y^n в n -м такте работы однозначно определяется входными сигналами X^n в том же такте.

Поэтому номер такта работы при задании функционирования комбинационного цифрового автомата (КЦА) зачастую опускается. КЦА, таким образом, не содержат элементов памяти и потому часто называются цифровыми автоматами без памяти. Функционирование КЦА представляется системой функций

$$\begin{aligned} y_0 &= f_0(x_{k-1}, \dots, x_1, x_0); \\ y_1 &= f_1(x_{k-1}, \dots, x_1, x_0); \\ y_{m-1} &= f_{m-1}(x_{k-1}, \dots, x_1, x_0) \end{aligned} \quad (1.7)$$

или в векторной форме

$$Y = F(X). \quad (1.8)$$

Простейшим аналоговым эквивалентом КЦА может служить, например, обычный удвоитель напряжения на основе безынерционного операционного усилителя DA (рис. 1.4, б). Выходное напряжение удвоителя в любой момент времени определяется напряжением на входе в этот же момент времени и поэтому его функционирование полностью определяется зависимостью

$$U_{\text{вых}} = F(U_{\text{вх}}) = \frac{R_2}{R_1} U_{\text{вх}} = 2U_{\text{вх}}.$$

Может быть построен комбинационный цифровой автомат, эквивалентный удвоителю напряжения (рис. 1.4, а). Тогда входному напряжению будет соответствовать входное число X , а выходному – число Y . Принципиальное отличие аналогового непрерывного эквивалента заключается в том, что входные и выходные напряжения могут принимать в заданном диапазоне произвольные значения (передаточная функция изображается непрерывной линией), а в цифровом устройстве входные и выходные величины принимают значение из какого-то ограниченного их количества, и поэтому передаточная функция задана на конечном множестве точек (рис. 1.4, а).

Однако, если реализация какой-либо передаточной функции, особенно нелинейной, средствами аналоговой техники затруднена, то цифровые устройства позволяют легко реализовать практически любую передаточную функцию. В этом состоит одно из важнейших преимуществ цифровых устройств.

В *цифровых устройствах последовательного типа* (рис. 1.5, а)

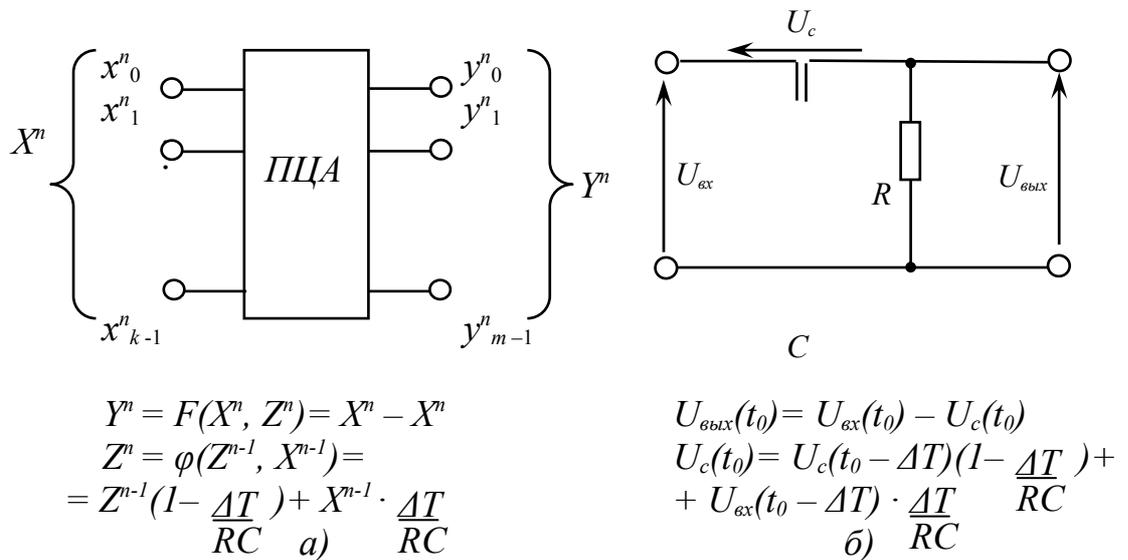


Рис. 1.5. Последовательный цифровой автомат (а) и его аналоговый эквивалент (б)

значения выходных переменных Y^n в данный момент времени определяются значениями входных переменных в этот же момент времени и состояний элементов памяти или внутренних состояний

$$Z^n = \{z^n_{r-1}, z^n_{r-2}, \dots, z^n_1, z^n_0\}.$$

Состояния элементов памяти в данный момент времени зависят, в свою очередь, от их состояния и входных чисел в предшествующие моменты времени.

Функционирование последовательного цифрового автомата (ПЦА) может быть представлено в векторной форме

$$\begin{aligned}
 Y^n &= F(X^n, Z^n); \\
 Z^n &= \varphi(Z^{n-1}, X^{n-1}).
 \end{aligned}
 \tag{1.9}$$

Простейшим аналоговым эквивалентом цифрового автомата последовательного типа может служить, например, RC -цепочка (рис.1.5,б). В такой цепочке выходное напряжение в момент времени t_0 определяется входным напряжением и напряжением на конденсаторе в этот же момент времени. В свою очередь, напряжение на конденсаторе, которому можно сопоставить состояние элементов памяти Z^n , может быть выражено через это же напряжение и входное напряжение в предшествующий момент времени (рис. 1.5, б). На данном примере можно продемонстрировать преимущества цифровых устройств. Увеличение постоянной времени RC -цепочки ограничено, поскольку с ростом емкости уменьшается сопротивление утечки и, кроме того, конденсатор большой емкости имеет большие размеры.

Реализации функций RC -цепочки цифровыми методами позволяет реализовать практически любую постоянную времени без каких-либо существенных затрат.

Исходной информацией к синтезу (проектированию) цифровых устройств обычно является описание его функционирования, определяющее характер связи входных и выходных переменных.

Цифровые устройства, независимо от сложности реализуемых ими операторов, выполняются на основе простейших (элементарных) комбинационных автоматов, называемых *логическими элементами*. Совокупность элементов и взаимосвязи между ними определяют структуру (структурную схему) автомата.

Задача синтеза (логического проектирования) цифрового автомата, реализующего требуемый оператор связи входных и выходных переменных, состоит в определении оптимальной структуры автомата при заданном перечне логических элементов (заданной элементной базе). Наиболее общим критерием оптимальности является стоимость автомата, включая все затраты на его изготовление и последующую эксплуатацию. Известные в настоящее время методы логического проектирования обеспечивают, однако, лишь частичный учет этого критерия, а именно, минимизацию числа аргументов входящих в функцию. В ходе синтеза автомата осуществляется переход от содержательного описания автомата к формализованному заданию его оператора в виде функций, таблиц, графов, матриц. Сущность задания оператора, независимо от его формы, состоит в определении перечня входных и выходных переменных автомата и установления связей между ними. Далее, исходя из упоминавшихся форм задания оператора (наиболее распространенной является табличная форма) определяется структурная схема автомата.

Алгебра логики

Основным математическим аппаратом, используемым для синтеза цифровых устройств, является булева алгебра (алгебра логики), названная по имени Джорджа Буля, разработавшего ее в середине XIX века для изучения закономерности мышления.

Возможность применения булевой алгебры к задачам проектирования цифровых автоматов обусловлена аналогией понятий и категорий этой алгебры и двоичной системой счисления. Количество символов, которые рассматриваются в алгебре логики, равно двум (один из них обозначается символом 0, другой 1). Выражаясь языком формальной логики, символ 0 означает ложное высказывание, 1 – истинное высказывание. Эти простые высказывания будем обозначать строчными буквами какого-либо алфавита x, y, z, p, \dots Из элементарных высказываний образуются сложные высказывания, которые являются функциями простых логических переменных. Эти сложные высказывания называются логическими функциями или функциями алгебры логики (ФАЛ). Другими словами, под

логической (булевой или переключательной) функцией понимается двоичная переменная y , значение которой зависит от значений других двоичных переменных $(x_{k-1}, \dots, x_1, x_0)$, именуемых аргументами.

Булева алгебра строится на базе трех основных операций (функций) – инверсии, дизъюнкции и конъюнкции.

Инверсия (отрицание) обозначается чертой, которая ставится над переменной. Например, отрицание переменной x , читаемое НЕ x , записывается в виде \bar{x} .

Дизъюнкция (логическое сложение) обозначается знаком $x_1 \vee x_0$ (читается: x_1 ИЛИ x_0).

Конъюнкция (логическое умножение) обозначается так же, как произведение в обычной алгебре, т.е. $x_1 \cdot x_0$; $x_1 \times x_0$ или символом $x_1 \wedge x_0$ (читается: x_1 И x_0).

Постулативно полагается, что при выполнении перечисленных операций равенства имеют вид:

$$\begin{aligned} \bar{0} &= 1; 0 \vee 0 = 0; 0 \cdot 0 = 0; \\ \bar{1} &= 0; 1 \vee 0 = 1; 1 \cdot 0 = 0; \\ 0 \vee 1 &= 1; 0 \cdot 1 = 0; \\ 1 \vee 1 &= 1; 1 \cdot 1 = 1; \end{aligned} \quad (1.10)$$

На основании этих постулатов можно вывести тождества алгебры Буля, представленные в табл. 1.4.

Тождества 1, ..., 14 вытекают непосредственно из равенств (1.10); последующие могут быть выведены на основании предыдущих.

Таблица 1.4

Логические тождества

| № п/п | Название | Аналитическая запись |
|-------|----------------------------|--|
| 1 | Закон сложения с единицей | $x \vee 1 = 1$ |
| 2 | Закон сложения с нулем | $x \vee 0 = x$ |
| 3 | Законы тавтологии | $x \vee x = x$ |
| 4 | | $x \cdot x = x$ |
| 5 | Закон умножения на единицу | $x \cdot 1 = x$ |
| 6 | Закон умножения на нуль | $x \cdot 0 = 0$ |
| 7 | Законы дополнительности | $x \vee \bar{x} = 1$ |
| 8 | | $x \cdot \bar{x} = 0$ |
| 9 | Закон двойного отрицания | $\bar{\bar{x}} = x$ |
| 10 | Сочетательные законы | $(x_2 \vee x_1) \vee x_0 = x_2 \vee (x_1 \vee x_0)$ |
| 11 | | $(x_2 \cdot x_1) \cdot x_0 = x_2 \cdot (x_1 \cdot x_0)$ |
| 12 | Переместительные законы | $x_1 \vee x_0 = x_0 \vee x_1$ |
| 13 | | $x_1 \cdot x_0 = x_0 \cdot x_1$ |
| 14 | Распределительные законы | $(x_1 \vee x_0) \cdot x_2 = x_1 \cdot x_2 \vee x_0 \cdot x_2$ |
| 15 | | $x_2 \cdot x_1 \vee x_0 = (x_2 \vee x_0) \cdot (x_1 \vee x_0)$ |
| 16 | Теорема Моргана | $\overline{x_1 \vee x_0} = \bar{x}_1 \cdot \bar{x}_0$ |
| 17 | | $\overline{x_1 \cdot x_0} = \bar{x}_1 \vee \bar{x}_0$ |

Весьма важными для синтеза цифровых устройств являются тождества 16 и 17, носящие название теоремы Моргана. Теорема Моргана может быть доказана с учетом того, что количество комбинаций аргументов x_1 и x_0 конечно, в данном случае равно четырем. Справедливость теоремы следует из табл. 1.5, в которой приведены все возможные комбинации x_1 и x_0 . Теорема верна, так как столбцы, соответствующие выражениям $x_1 \cdot x_0$ и $x_1 \vee x_0$, полностью идентичны. То же в отношении столбцов $x_1 \vee x_0$ и $x_1 \cdot x_0$.

Таблица 1.5

| x_1 | x_0 | $x_1 x_0$ | $\overline{x_1 x_0}$ | $\overline{x_1}$ | $\overline{x_0}$ | $\overline{x_1} \vee \overline{x_0}$ | $\overline{x_1 \vee x_0}$ | $\overline{x_1} \cdot \overline{x_0}$ |
|-------|-------|-----------|----------------------|------------------|------------------|--------------------------------------|---------------------------|---------------------------------------|
| 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |

Теорема Моргана обобщается на произвольное количество аргументов

$$\overline{x_{k-1} x_{k-2} \dots x_1 x_0} = \overline{x_{k-1}} \vee \overline{x_{k-2}} \vee \dots \vee \overline{x_1} \vee \overline{x_0};$$

$$x_{k-1} \vee x_{k-2} \vee \dots \vee x_1 \vee x_0 = x_{k-1} \cdot x_{k-2} \cdot \dots \cdot x_1 \cdot x_0. \quad (1.13)$$

Число наборов (комбинаций) аргументов логических функций.

Поскольку каждый аргумент может принимать лишь одно из двух значений, то общее количество комбинаций P_k из k двоичных аргументов составит

$$P_k = 2^k. \quad (1.14)$$

Возможные комбинации значений двух и трех входных аргументов имеют вид, представленный в табл. 1.6.

Таблица 1.6

Комбинации значений двух и трех аргументов

| S | x_1 | x_0 |
|-----|-------|-------|
| 0 | 0 | 0 |
| 1 | 0 | 1 |
| 2 | 1 | 0 |
| 3 | 1 | 1 |

| S | x_2 | x_1 | x_0 |
|-----|-------|-------|-------|
| 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 |
| 2 | 0 | 1 | 0 |
| 3 | 0 | 1 | 1 |
| 4 | 1 | 0 | 0 |
| 5 | 1 | 0 | 1 |
| 6 | 1 | 1 | 0 |
| 7 | 1 | 1 | 1 |

Комбинации удобно обозначать в виде числа S в двоичной системе счисления. Тогда при $k = 2$ число S примет четыре значения 0, 1, 2, 3. В общем случае число S должно принимать значения

$$S = 0, 1, 2, 3, \dots, 2^k - 1 = \overline{0, 2^k - 1}.$$

Число логических функций. Заданному числу входных аргументов k вполне определенное число F_k различных логических функций. Функции считаются различными, если их значения отличаются, по крайней мере, для одного набора аргументов. Поскольку каждому из наборов могут

соответствовать два значения y (0 или 1), то общее число различных функций k аргументов будет равно

$$F_k = 2^P_k = 2^2 . \quad (1.15)$$

Например, два аргумента создают $2^2 = 16$ различных логических функций.

Сложные логические функции. Булева алгебра допускает возможность образования сложных функций, т.е. функций, аргументы которых являются функциями других двоичных аргументов. Например, если $y=y(z_1, z_0)$, а $z_1=z_1(x_1, x_0)$ и $z_0=z_0(x_3, x_2)$, очевидно, что $y=y(x_3, x_2, x_1, x_0)$. Операция замены аргументов одной функции другими функциями называется суперпозицией функций [1]. Эта операция позволяет с помощью функций меньшего числа аргументов получать функции большего их числа.

Логические элементы. Под логическим элементом (иногда называемым вентилем) понимают устройство (обычно электронное), реализующее какую-либо простую логическую функцию. Исходя из суперпозиции булевых функций, можно сделать вывод о том, что любую сложную булеву функцию можно представить в виде комбинации простых функций и, следовательно, любой цифровой автомат можно реализовать из простых логических элементов.

Логические функции двух аргументов и двухвходовые логические элементы. Число комбинаций входных аргументов $P_2 = 2^2 = 4$, число возможных булевых функций $F_2 = 2^4 = 16$. На рис. 1.3 представлены таблицы истинности и условные изображения логических элементов, выполняющих основные логические функции.

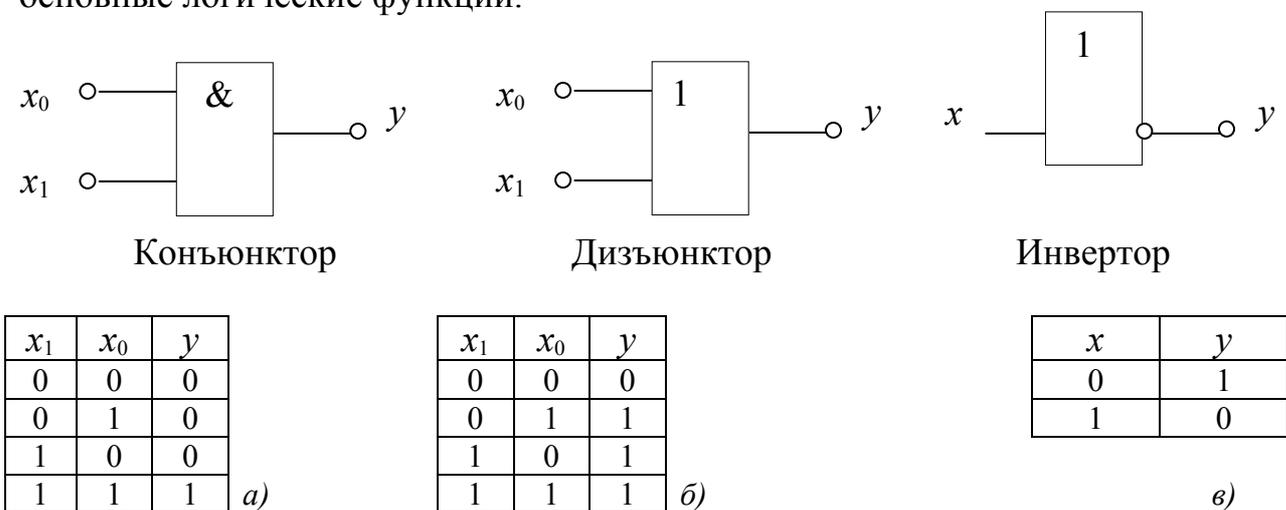


Рис. 1.3. Условные обозначения и таблицы истинности логических элементов, реализующих основные функции: конъюнктор (а), дизъюнктор (б), инвертор (в)

На схемах логические функции, выполняемые элементом в соответствии с ГОСТ 2.743–82, отображаются условными символами: конъюнкция – знаком &, который заносится в левый верхний угол поля элемента; дизъюнкция – цифрой единица; инверсия обозначается окружностью.

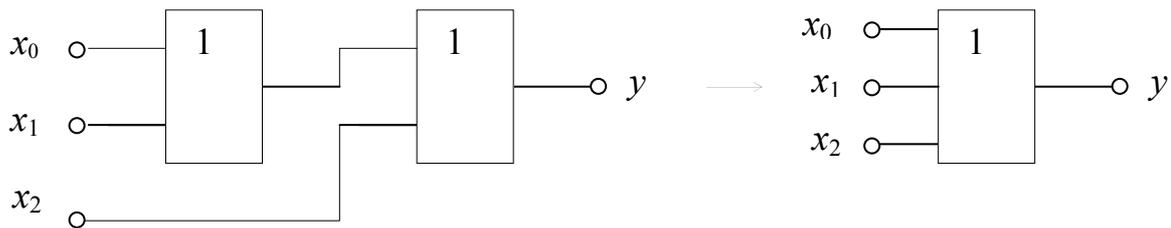


Рис. 1.6. Построение трехвходовых дизъюнктора и конъюнктора из двухвходовых элементов

Необходимо заметить, что двухвходовых конъюкторов и дизъюнкторов можно построить трехвходовые элементы, как это представлено на рис. 1.6, или элементы с еще большим числом входов.

Кроме того, из табл. 1.7 следует, что любую функцию можно выразить через три основных, или, что то же самое, любое цифровое устройство можно реализовать из набора, состоящего из дизъюнкторов, конъюнкторов и инверторов.

Например, функцию неравнозначности можно выразить

$$Y_6 = \bar{x}_1 x_0 \vee x_1 \bar{x}_0. \quad (1.16)$$

Устройство, выполняющее эту функцию, представлено на рис. 1.5. Таким образом, существует система логических функций (набор логических элементов), позволяющая представить любую сколь угодно сложную функцию (построить сколь угодно сложный цифровой автомат). Такая система функций называется функционально полной системой логических функций, а набор элементов, ей соответствующий, – функционально полным набором (ФПН).

Как уже было сказано, ФПН является набор, состоящий из дизъюнктора, конъюнктора и инвертора. Существуют ФПН, состоящие из двух типов и даже из одного типа элементов. ФПН является набор, состоящий из конъюнктора и инвертора.

Рассмотренные ФПН состояли из элементов, выполняющих какую-либо одну из основных функций. Такие элементы называются *одноступенчатыми*.

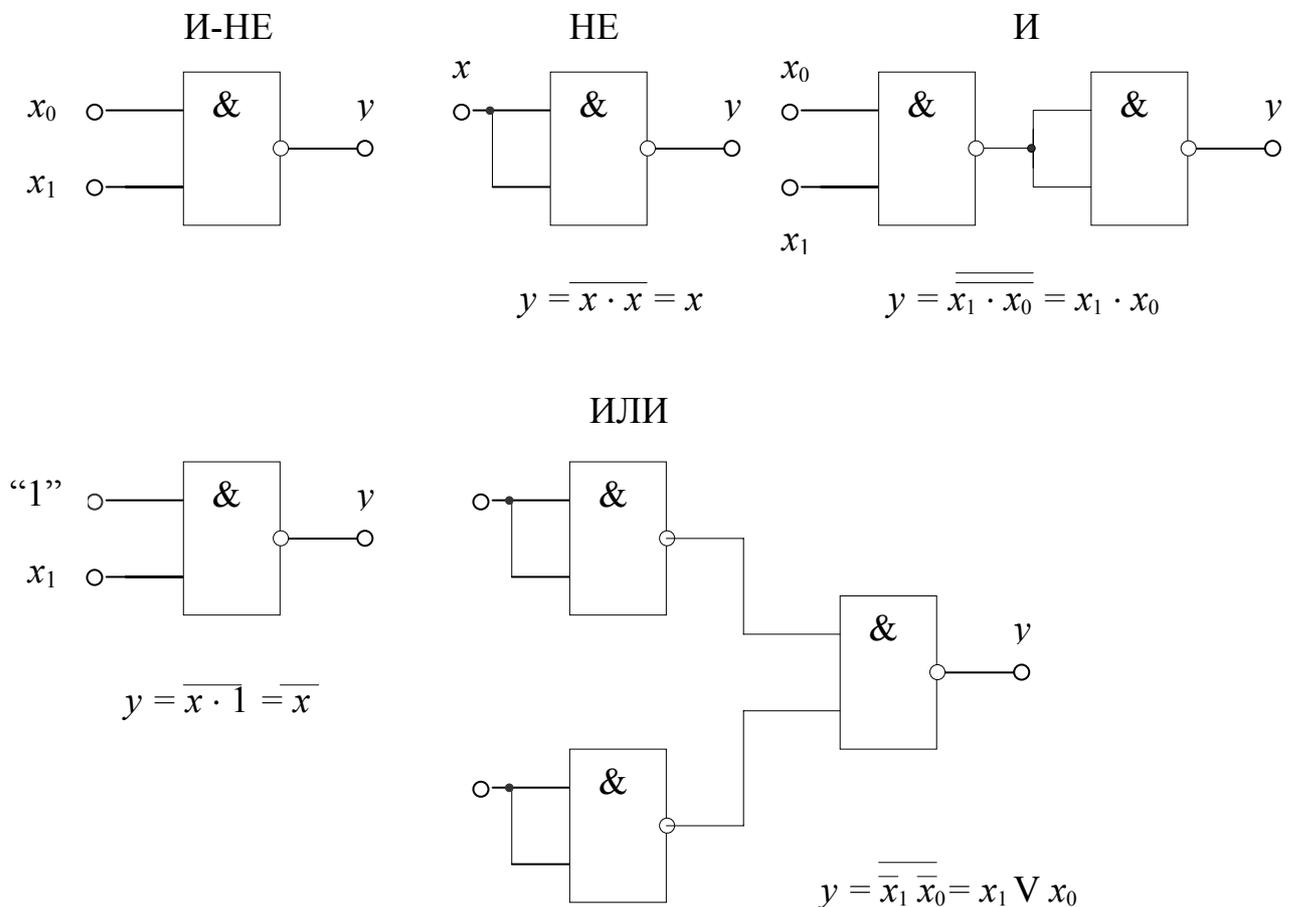


Рис. 1.7. Элемент Шеффера И-НЕ и реализация на его основе инвертора НЕ, конъюнктора И и дизъюнктора ИЛИ

Примерами ФПН, состоящими из одного типа элементов, могут служить наборы из элементов Шеффера (И-НЕ) или из элементов Пирса (ИЛИ-НЕ).

В отличие от одноступенчатых элементов элементы Шеффера и Пирса выполняют каждый две простые логические функции и поэтому называются **двухступенчатыми** логическими элементами. Существуют также ФПН, состоящие из других типов двухступенчатых и многоступенчатых элементов, однако наибольший объем выпускаемых серий цифровых интегральных схем (ЦИС) составляют серии, где базовыми элементами являются элементы Шеффера или Пирса.

Таким образом, любое цифровое устройство может быть построено из ограниченного числа типов логических элементов. Это создает большое их преимущество перед аналоговыми схемами, требующими радиоэлементы самой широкой номенклатуры.

Минтермы и макстермы. В булевой алгебре большую роль играют определенные логические функции, называемые минтермами и макстермами.

Минтермом (конституентом единицы) называется логическая функция, которая принимает значение “единица” при одном из всех наборов аргументов и “нуль” при всех остальных. Количество минтермов заданного числа аргументов k , как следует из определения, равно числу P_k возможных комбинаций их значений.

В табл. 1.8. представлены таблицы истинности минтермов двух аргументов.

Таблица 1.8

Минтермы функции двух аргументов

| S | Аргументы | | Минтермы | | | |
|---|-----------|-------|----------|--------|--------|--------|
| | x_1 | x_0 | Mn_0 | Mn_1 | Mn_2 | Mn_3 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 1 | 0 | 0 |
| 2 | 1 | 0 | 0 | 0 | 1 | 0 |
| 3 | 1 | 1 | 0 | 0 | 0 | 1 |

Аналитически минтерм может быть выражен в виде конъюнкции (произведения) всех аргументов, причем в прямой форме в него войдут аргументы, имеющие в рассматриваемом наборе значение “единица”, а в инверсной – имеющие значения “нуль”. Для минтермов (табл. 1.8) аналитические выражения имеют вид

$$\begin{aligned}
 Mn_0 &= \bar{x}_1 \cdot \bar{x}_0; Mn_1 = \bar{x}_1 \cdot x_0; \\
 Mn_2 &= x_1 \cdot \bar{x}_0; Mn_3 = x_1 \cdot x_0.
 \end{aligned}
 \tag{1.17}$$

В общем виде образование минтерма с номером S осуществляется путем перевода S в двоичную систему счисления и записи конъюнкции с аргументами в прямой и инверсной форме. Например, запись Mn_{35} имеет следующий вид:

$$\begin{aligned}
 (35)_{10} &= (1\ 0\ 0\ 0\ 1\ 1)_2 \\
 &\quad \downarrow \downarrow \downarrow \downarrow \downarrow \downarrow \\
 Mn_{35} &= x_5 \bar{x}_4 \bar{x}_3 \bar{x}_2 x_1 x_0
 \end{aligned}
 \tag{1.18}$$

Макстермом (конституентой нуля) называется логическая функция, равная нулю на одном из возможных наборов аргументов и единице на всех остальных. Количество макстермов так же, как и минтермов, определяется числом входных аргументов.

В табл. 1.9 представлены таблицы истинности макстермов двух аргументов.

Таблица 1.9

Макстермы функции двух аргументов

| S | Аргументы | | Минтермы | | | |
|---|-----------|-------|----------|--------|--------|--------|
| | x_1 | x_0 | Mx_0 | Mx_1 | Mx_2 | Mx_3 |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 1 | 0 | 1 | 1 |
| 2 | 1 | 0 | 1 | 1 | 0 | 1 |
| 3 | 1 | 1 | 1 | 1 | 1 | 0 |

Аналитически макстерм выражается в виде дизъюнкции всех аргументов, причем в прямой форме в него войдут аргументы, имеющие в рассматриваемом наборе значение “нуль”, в инверсной – “единица”. Для макстермов (табл. 1.9) аналитические выражения имеют вид

$$\begin{aligned}
 Mx_0 &= x_1 \vee x_0; Mx_1 = x_1 \vee \bar{x}_0; \\
 Mx_2 &= \bar{x}_1 \vee x_0; Mx_3 = \bar{x}_1 \vee \bar{x}_0.
 \end{aligned}
 \tag{1.19}$$

Образование макстерма с номером S осуществляется так, что аргументы логически складываются, и единице в двоичном представлении соответствует переменная в инверсной, а нулю – переменная в прямой форме.

$$\begin{aligned}
 (35)_{10} &= (1 \quad 0 \quad 0 \quad 0 \quad 1 \quad 1)_2 \\
 &\quad \downarrow \quad \downarrow \quad \downarrow \quad \downarrow \quad \downarrow \quad \downarrow \\
 Mx_{35} &= \bar{x}_5 \vee x_4 \vee x_3 \vee x_2 \vee \bar{x}_1 \vee \bar{x}_0
 \end{aligned}
 \tag{1.18}$$

Как будет показано ниже, произвольная логическая функция может быть представлена в виде комбинации минтермов или макстермов.

Основы цифровой электроники.Логические элементы И, ИЛИ, НЕ, Логические функции

Словесный способ. При этом способе задания функция определяется словами, причем описание должно однозначно определять все случаи, в которых она принимает значение 0 или 1. Например, “Функция равна единице, если любые два или более аргумента равны единице, и нулю во всех остальных случаях”.

Табличный способ. Способ задания булевых функций с помощью таблиц истинности позволяет достаточно легко перейти к любому другому способу. Таблица истинности представляет собой некоторую таблицу, в которой отмечены наборы (комбинации) входных переменных и значения функции на каждом наборе. Например, для функции, заданной выше словесным описанием, таблица будет иметь следующий вид (табл. 1.10):

Таблица 1.10

Таблица истинности функции

| S | x_2 | x_1 | x_0 | y |
|---|-------|-------|-------|-----|
| 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 |
| 2 | 0 | 1 | 0 | 0 |
| 3 | 0 | 1 | 1 | 1 |
| 4 | 1 | 0 | 0 | 0 |
| 5 | 1 | 0 | 1 | 1 |
| 6 | 1 | 1 | 0 | 1 |
| 7 | 1 | 1 | 1 | 1 |

Аналитический способ. Под аналитическим способом задания логических функций подразумевается запись в виде алгебраического выражения, которая для заданной выше функции может иметь вид

$$y = x_2 \cdot x_1 \vee \overline{x_1 \cdot x_0} \cdot \overline{x_2 \cdot x_0} \quad (1.21)$$

Аналитический способ задания логических функций имеет несколько форм.

Дизъюнктивно-нормальная форма (ДНФ) задания логической функции состоит из дизъюнкции простых конъюнкций (импликант)

аргументов. Конъюнкция называется простой, если она является логическим произведением переменных в прямой или инверсной форме. ДНФ функции (1.21) имеет вид

$$y = x_2 \cdot x_1 \vee \bar{x}_2 \cdot x_1 \cdot x_0 \vee x_2 \cdot \bar{x}_1 \cdot x_0. \quad (1.22)$$

ДНФ имеет свой завершенный вид, называемый *совершенной дизъюнктивной нормальной формой* (СДНФ), когда в конъюнкции входят все аргументы, т.е. они являются минтермами. Так функция (1.22) в СДНФ описывается выражением

$$y = \bar{x}_2 \cdot x_1 \cdot x_0 \vee x_2 \cdot \bar{x}_1 \cdot x_0 \vee x_2 \cdot x_1 \cdot \bar{x}_0 \vee x_2 \cdot x_1 \cdot x_0. \quad (1.23)$$

Функция в СДНФ может быть условно записана в виде

$$y = \Sigma(3, 5, 6, 7) = Mn_3 \vee Mn_5 \vee Mn_6 \vee Mn_7. \quad (1.24)$$

В этой условной записи под знак суммы вводятся номера S минтермов (см.табл. 1.9), присутствующих в СДНФ функции.

Конъюнктивно-нормальная форма (КНФ) представления функций содержит конъюнкцию простых дизъюнкций. Для функции (1.21) КНФ представляется выражением

$$y = (x_2 \vee x_1) \cdot (x_2 \vee \bar{x}_1 \vee x_0) \cdot (\bar{x}_2 \vee x_1 \vee x_0). \quad (1.25)$$

Если каждая из простых конъюнкций является полной, т.е. макстермом, то говорят, что функция задана в совершенной конъюнктивной нормальной форме (СКНФ)

$$y = (x_2 \vee x_1 \vee x_0) \cdot (x_2 \vee x_1 \vee \bar{x}_0) \cdot (x_2 \vee \bar{x}_1 \vee x_0) \cdot (\bar{x}_2 \vee x_1 \vee x_0). \quad (1.26)$$

Аналогично, функция (1.26) в СКНФ условно записывается в виде произведения макстермов

$$y = \Pi(0, 1, 2, 4) = Mx_0 \cdot Mx_1 \cdot Mx_2 \cdot Mx_4. \quad (1.27)$$

Задание логических функций на диаграммах Вейча или картах Карно. Очень часто удобным оказывается представление функции в специальных матрицах или диаграммах, называемых диаграммами Вейча или картами Карно. Диаграмма Вейча (карта Карно) – прямоугольная таблица, число ячеек которой равно числу возможных комбинаций аргументов 2^k . Подробно об этом методе будет рассказано ниже в разделе минимизации булевых функций.

Задание функций в виде временных диаграмм. Такая форма часто бывает удобной при задании функционирования какого-либо цифрового устройства. В этой форме строятся временные диаграммы, представляющие

возможные комбинации на входе устройства, и временная диаграмма, представляющая значения выходной переменной.

Методы перехода от одного способа задания логических функций к другому. Каждая логическая функция может быть задана любым из перечисленных способов и поэтому необходимо переводить функцию из одного способа задания к другому.

Переход от табличного способа задания к аналитическому базируется на основной теореме булевой алгебры, утверждающей, что любая булева функция может быть представлена в виде логической суммы конъюнкций значений функции $y(S)$ с минтермами Mn_S , соответствующими этим наборам, или в виде логического произведения дизъюнкций значений функции $y(S)$ и макстермов Mx_S

$$y = \bigvee_{S=0}^{2^k-1} y(S) Mn_S = \bigwedge_{S=0}^{2^k-1} [y(S) \vee Mx_S]. \quad (1.28)$$

Основная теорема может быть доказана. В соответствии с теоремой разложения Шеннона любую логическую функцию в общем виде можно разложить по одной из переменных на два слагаемых или на два сомножителя

$$f(x_{k-1}, \dots, x_1, x_0) = f(x_{k-1}, \dots, x_1, 1) \cdot x_0 \vee f(x_{k-1}, \dots, x_1, 0) \cdot \bar{x}_0; \quad (1.29)$$

$$f(x_{k-1}, \dots, x_1, x_0) = [f(x_{k-1}, \dots, x_1, 0) \vee x_0] \cdot [f(x_{k-1}, \dots, x_1, 1) \vee \bar{x}_0].$$

Использование основной теоремы для перехода от табличного задания к аналитическому покажем на следующем примере (табл. 1.11).

Таблица 1.11

Таблица истинности функции

| S | x_2 | x_1 | x_0 | y |
|---|-------|-------|-------|---|
| 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 |
| 2 | 0 | 1 | 0 | 1 |
| 3 | 0 | 1 | 1 | 0 |
| 4 | 1 | 0 | 0 | 1 |
| 5 | 1 | 0 | 1 | 1 |
| 6 | 1 | 1 | 0 | 0 |
| 7 | 1 | 1 | 1 | 1 |

$$y = \bigvee_{S=0}^7 y(S) M n_S = 0 \cdot \bar{x}_2 \cdot \bar{x}_1 \cdot \bar{x}_0 \vee 0 \cdot \bar{x}_2 \cdot \bar{x}_1 \cdot x_0 \vee 1 \cdot \bar{x}_2 \cdot x_1 \cdot \bar{x}_0 \vee \\ \vee 0 \cdot \bar{x}_2 \cdot x_1 \cdot x_0 \vee 1 \cdot x_2 \cdot \bar{x}_1 \cdot \bar{x}_0 \vee 1 \cdot x_2 \cdot \bar{x}_1 \cdot x_0 \vee 0 \cdot x_2 \cdot x_1 \cdot \bar{x}_0 \vee \\ \vee 1 \cdot x_2 \cdot x_1 \cdot x_0 = \Sigma(2, 4, 5, 7).$$

$$y = \bigwedge_{S=0}^7 [y(S) \vee M x_S] = (0 \vee x_2 \vee x_1 \vee x_0) \cdot (0 \vee x_2 \vee x_1 \vee \bar{x}_0) \times \\ \times (1 \vee x_2 \vee \bar{x}_1 \vee x_0) \cdot (0 \vee x_2 \vee \bar{x}_1 \vee \bar{x}_0) \cdot (1 \vee \bar{x}_2 \vee x_1 \vee x_0) \times \\ \times (1 \vee \bar{x}_2 \vee x_1 \vee \bar{x}_0) \cdot (0 \vee \bar{x}_2 \vee \bar{x}_1 \vee x_0) \cdot (1 \vee \bar{x}_2 \vee \bar{x}_1 \vee \bar{x}_0) = \Pi(0, 1, 3, 6).$$

Из рассмотренного примера видно, что функция из табличного способа задания преобразуется в СДНФ или СКНФ.

Переход от аналитического задания к табличному может быть осуществлен путем подстановки в выражение функции поочередно всех возможных комбинаций входных аргументов и определения с использованием логических тождеств значения функции на этих наборах. В качестве примера рассмотрим переход от аналитического способа задания функции

$$y = \overline{x_1 \cdot x_0} \vee \overline{(\bar{x}_1 \vee x_0)} \cdot x_2 \cdot x_0$$

табличному.

Таблица 1.12

Таблица истинности функции

| S | x_2 | x_1 | x_0 | y |
|---|-------|-------|-------|---|
| 0 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 1 |
| 2 | 0 | 1 | 0 | 1 |
| 3 | 0 | 1 | 1 | 1 |
| 4 | 1 | 0 | 0 | 1 |
| 5 | 1 | 0 | 1 | 1 |
| 6 | 1 | 1 | 0 | 1 |
| 7 | 1 | 1 | 1 | 0 |

Из выражения видно, что функция имеет три аргумента, и поэтому возможны $2^3=8$ комбинаций. В левой части таблицы истинности (табл. 1.12) отразим возможные комбинации.

Затем найдем $y(0) = y(0, 0, 0) = \overline{0} \cdot 0 \vee (\overline{0} \vee 0) \cdot 0 \cdot 0 = 1$. Таким образом, $y(S)$ при $S = 0$ равна 1.

Проводим эту операцию для всех наборов и получаем функцию, заданную таблично.

Минимизация логических функций

Необходимость минимизации продемонстрируем на примере синтеза комбинационного цифрового автомата в базисе состоящем из элементов И, ИЛИ, НЕ, функционирование которого задается функцией

$$y = \sum (0, 2, 3) = \overline{x_1} \cdot \overline{x_0} \vee x_1 \cdot \overline{x_0} \vee x_1 \cdot x_0. \quad (1.30)$$

По данному выражению изображаем схему устройств (рис. 1.8, а).

Как видно, нам потребовалось 6 логических элементов. Попробуем упростить (1.30), используя тождества алгебры логики:

$$\begin{aligned} y &= \overline{x_1} \cdot \overline{x_0} \vee x_1 \cdot \overline{x_0} \vee x_1 \cdot x_0 = \overline{x_0} (\overline{x_1} \vee x_1) \vee x_1 x_0 = \\ &= \overline{x_0} \vee x_1 \cdot x_0 = (\overline{x_0} \vee x_0) (\overline{x_0} \vee x_1) = x_1 \vee \overline{x_0}. \end{aligned} \quad (1.31)$$

Схема устройства (рис. 1.8, б), построенного по упрощенному выражению, реализует ту же функцию существенно меньшим числом логических элементов (всего необходимо 2 элемента). Такое устройство будет экономичней и дешевле, чем автомат по схеме 1.8,а. Следовательно, перед реализацией цифрового автомата логическую функцию необходимо упростить или минимизировать. Строгое решение задачи минимизации должно учитывать конкретные особенности логических схем, применяемой элементной базы (в частности, значения коэффициента объединения, нагрузочной способности логических элементов, число элементов в корпусах, стоимость каждого корпуса и т.п.). Однако применяемые в настоящее время математические методы упрощения не решают задачу в таком объеме.

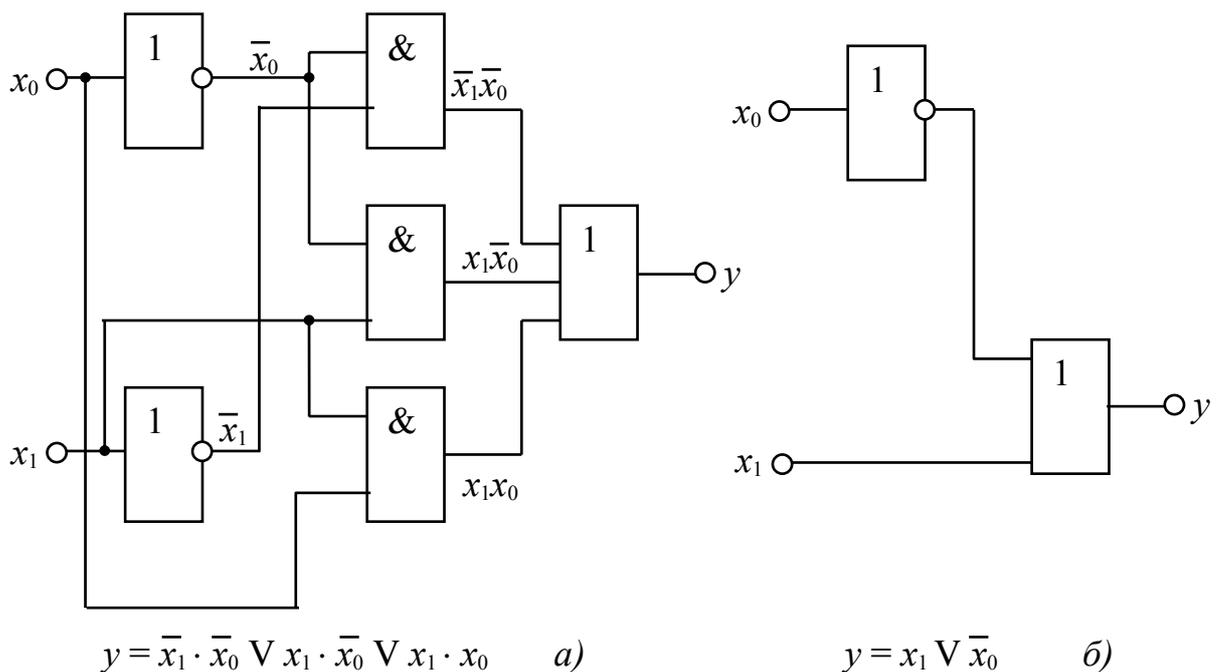


Рис.1.8. Реализация цифрового устройства: по СДНФ (а), по минимизированной функции (б)

Наиболее детально разработаны методы решения канонической задачи минимизации функций, которая заключается в отыскании ДНФ функции, содержащей минимальное число вхождений аргументов (минимальное число букв). Такие формы принято называть оптимальными или минимальными ДНФ. Дальнейшее изложение ограничивается рассмотрением задачи упрощения функций в такой постановке. Исходной формой функции при решении задачи минимизации является ее СДНФ (если функция задана в другой форме, ее переводят в СДНФ). Систематические методы минимизации (в настоящее время известно несколько таких методов) предполагают применение формализованного порядка упрощения формул. Эти методы описываются строгими алгоритмами и поддаются программированию; их применение дает возможность использовать ЭВМ, что является неизбежным при минимизации формул функций большого числа аргументов.

Метод Вейча – Карно. Метод минимизации функций, предложенный Вейчем и усовершенствованный Карно, основан на упомянутом выше представлении функции в специальных матрицах, именуемых диаграммами Вейча или картами Карно. Метод Вейча – Карно облегчает процедуру склеивания соседних минтермов благодаря тому, что члены СДНФ и СКНФ (минтермы или макстермы) размещаются на плоскости таким образом, что соседние члены, для которых возможно склеивание, оказываются в геометрической близости друг от друга. Диаграммы Вейча (карты Карно) представляют собой прямоугольные таблицы, разделенные горизонтальными и вертикальными линиями на ячейки, общее число которых совпадает с числом минтермов или возможных комбинаций аргументов. Каждая ячейка соответствует своему минтерму, причем размещение последних осуществляется таким образом, чтобы два соседних минтерма находились в смежных ячейках. Такой порядок размещения минтермов (макстермов) обеспечивается принятым способом образования наборов аргументов, соответствующих различным ячейкам диаграммы. На рис. 1.9 приведены примеры диаграмм Вейча для двух, трех и четырех переменных, а также показано соответствие ячеек и минтермов.

Для облегчения процесса нахождения нужной ячейки по краям диаграммы ставятся значения переменных (рис. 1.9). Например, в верхнюю строку в диаграмме Вейча для функции трех переменных, обозначенную символом x_1 , вносятся все минтермы, в которые x_1 входит в прямой форме, в нижнюю – минтермы, куда x_1 входит в инверсной форме.

| | | |
|------------------|--------------------------------|---|
| | x_0 | $\overline{x_0}$ |
| x_1 | Mn_3 $x_1 x_0$ | Mn_2 $x_1 \overline{x_0}$ |
| $\overline{x_1}$ | Mn_1 $\overline{x_1} x_0$ | Mn_0 $\overline{x_1} \overline{x_0}$ |

| | | | | |
|------------------|---|------------------------------------|------------------------------------|--|
| | x_0 | x_0 | $\overline{x_0}$ | $\overline{x_0}$ |
| x_1 | Mn_3 $\overline{x_2} x_1 x_0$ | Mn_7 $x_2 x_1 x_0$ | Mn_6 $x_2 x_1 \overline{x_0}$ | Mn_2 $\overline{x_2} x_1 \overline{x_0}$ |
| $\overline{x_1}$ | Mn_1 $\overline{x_2} \overline{x_1} x_0$ | Mn_5 $x_2 \overline{x_1} x_0$ | Mn_4 $x_2 x_1 \overline{x_0}$ | Mn_0 $\overline{x_2} \overline{x_1} \overline{x_0}$ |
| | $\overline{x_2}$ | x_2 | x_2 | $\overline{x_2}$ |

a)

б)

| | | | | | |
|-------|--|---|---|--|-------|
| | x_0 | | | | |
| x_1 | Mn_3 $\overline{x_3} \overline{x_2} x_1 x_0$ | Mn_7 $\overline{x_3} x_2 x_1 x_0$ | Mn_6 $\overline{x_3} x_2 x_1 \overline{x_0}$ | Mn_2 $\overline{x_3} \overline{x_2} x_1 \overline{x_0}$ | |
| | Mn_{11} $x_3 \overline{x_2} x_1 x_0$ | Mn_{15} $x_3 x_2 x_1 x_0$ | Mn_{14} $x_3 x_2 x_1 \overline{x_0}$ | Mn_{10} $x_3 \overline{x_2} x_1 \overline{x_0}$ | x_3 |
| | Mn_9 $x_3 \overline{x_2} \overline{x_1} x_0$ | Mn_{13} $x_3 x_2 \overline{x_1} x_0$ | Mn_{12} $x_3 x_2 x_1 \overline{x_0}$ | Mn_8 $x_3 \overline{x_2} x_1 \overline{x_0}$ | |
| | Mn_1 $\overline{x_3} \overline{x_2} \overline{x_1} x_0$ | Mn_5 $\overline{x_3} x_2 \overline{x_1} x_0$ | Mn_4 $\overline{x_3} x_2 x_1 \overline{x_0}$ | Mn_0 $\overline{x_3} \overline{x_2} x_1 \overline{x_0}$ | |
| | x_2 | | | | |

в)

Рис. 1.9. Диаграмма Вейча для функции двух (а), трех (б) и четырех (в) переменных

В дальнейшем условно будем обозначать строки и столбцы, соответствующие переменным в прямой форме, линиями (рис. 1.9, в).

Представление функций на диаграмме Вейча. Для представления функции на диаграмме Вейча ее необходимо перевести в СДНФ или задать таблично. Затем на диаграмме отметить единицами те ячейки, которые соответствуют имеющимся в СДНФ функции минтермам. Остальные ячейки либо остаются незаполненными, либо отмечаются нулями. В качестве примера представим функцию, заданную таблично на диаграмме Вейча (рис. 1.10).

| S | x_2 | x_1 | x_0 | y |
|-----|-------|-------|-------|-----|
| 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 |
| 2 | 0 | 1 | 0 | 1 |
| 3 | 0 | 1 | 1 | 1 |
| 4 | 1 | 0 | 0 | 0 |
| 5 | 1 | 0 | 1 | 0 |
| 6 | 1 | 1 | 0 | 0 |
| 7 | 1 | 1 | 1 | 0 |

Функция в СДНФ

$$y = \bar{x}_2 x_1 x_0 \vee \bar{x}_2 x_1 \bar{x}_0$$

Диаграмма Вейча с

занесенной функцией

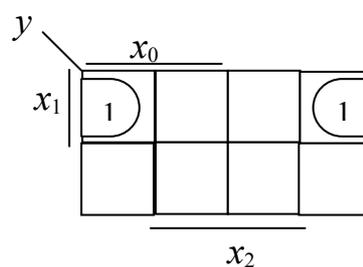


Рис. 1.10. Представление логической функции на диаграмме Вейча

Считывание минимизированной функции с диаграммы. После занесения функции в диаграмму Вейча обычно сразу видна минимальная форма функции. Так, если функция содержит единицы в соседних ячейках, то они могут быть объединены в контур, и в конечном выражении функции предстанут в виде импликанты, в которой будет отсутствовать переменная, меняющая знак для заданного объединения. Контур образуют также ячейки, находящиеся на противоположных краях диаграммы Вейча.

Для рассмотренного примера могут быть объединены в контур две единицы, отображающие соседние минтермы, как показано на рис. 1.10:

$$y = Mn_2 \vee Mn_3 = g_{23}.$$

На рис. 1.11 представлены некоторые возможные варианты объединения единиц в контуры и минимальные функции, которые при этом получаются.

В общем виде можно сформулировать следующие правила считывания минимизированной функции с диаграмм Вейча:

а) минимизированная функция равна дизъюнкции импликант, соответствующих объединенным в контуры единицам;

б) в контуры можно объединять 1, 2, 4, 8, 16, ..., 2^k единиц, причем они должны составлять строку, столбец (или их часть) – прямоугольник или

квадрат. В эти контуры объединяют и единицы, расположенные на краях диаграммы Вейча;

в) контурами должны охватываться все без исключения единицы, и ни в один контур не должен быть включен нуль;

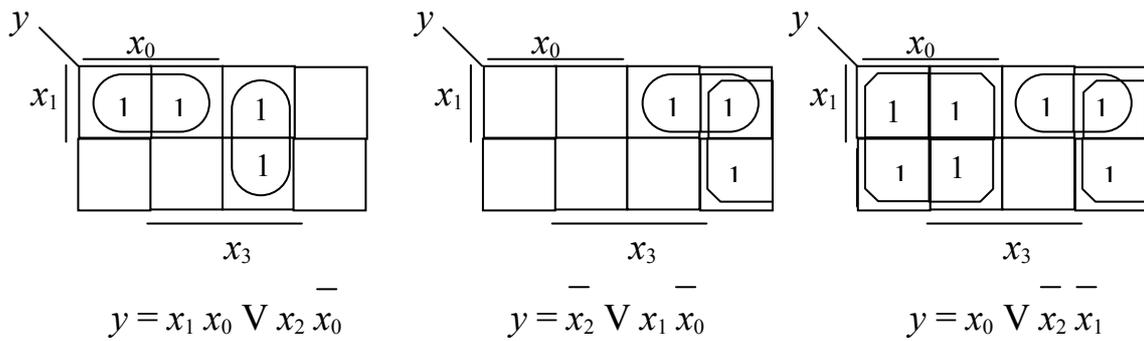


Рис. 1.11. Возможные варианты объединения единиц в контуры и результаты склеивания

г) одна и та же единица может быть включена в несколько контуров;

д) импликанту, представляющую данный контур, входят только те переменные, которые для этого контура не меняют своих значений.

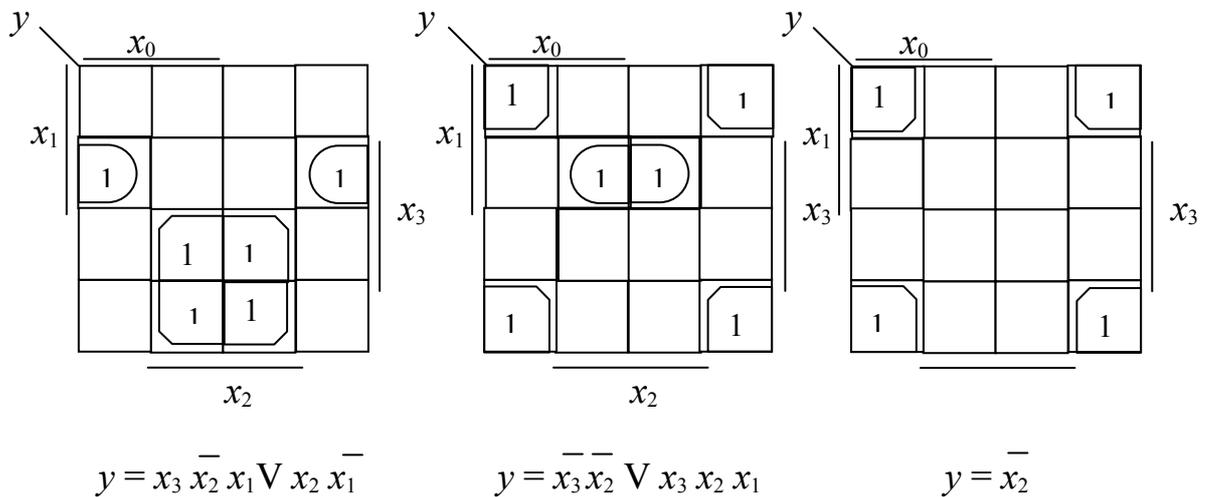


Рис. 1.12. Примеры считывания минимизированных функций с диаграмм Вейча для четырех переменных

На рис. 1.12 показаны возможные варианты объединения единиц и получающиеся функции для четырех аргументов.

Еще большие возможности для объединения единиц в контур представляются в диаграммах Вейча для функций пяти аргументов. Поскольку число соседних минтермов для функции k аргументов равно k , то

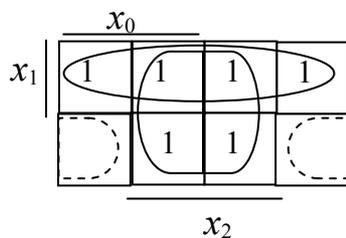
соседними ячейками диаграмм Вейча для пяти переменных будут не только смежные по вертикали и горизонтали, но и ячейки, расположенные симметрично относительно вертикальной оси, разделяющей диаграмму надвое (рис. 1.13).

Так, например, для ячейки 14, отображающей Mn_{14} , соседними будут ячейки с номерами 6, 10, 12, 15, 30 (обозначены звездочкой). Для ячейки с номером 25 – ячейки 9, 17, 24, 27, 29. Это позволяет производить объединения, некоторые из которых представлены на рис. 1.14. там же представлены диаграммы Вейча и примеры считывания функций шести аргументов.

| | | | | | | | | | | | |
|-------|----|-------|-----|----|-----|-------|-----|----|--|-------|--|
| | | x_4 | | | | | | | | | |
| | | x_0 | | | | x_0 | | | | | |
| x_1 | 19 | 23 | 22 | 18 | 2 | 6* | 7 | 3 | | x_3 | |
| | 27 | 31 | 30* | 26 | 10* | 14 | 15* | 11 | | | |
| | 25 | 29 | 28 | 24 | 8 | 12* | 13 | 9 | | | |
| | 17 | 21 | 20 | 16 | 0 | 4 | 5 | 1 | | | |
| | | x_2 | | | | x_2 | | | | | |

Рис. 1.13 Диаграмма Вейча для функций пяти переменных. Цифрами обозначены номера минтермов, заносимых в ячейки

Минимизация функций “по нулям”. Был рассмотрен способ считывания минимизированных функций, заключающийся в объединении в контуры тех ячеек диаграммы Вейча, где функция определена единицей. Однако возможно объединение по тем же правилам ячеек, где функция определена нулем. В этом случае получается минимальная ДНФ инвертированной функции



считывание по “единицам”

$$y = \bar{x}_2 \vee \bar{x}_1$$

считывание по “нулям”

$$\bar{y} = x_2 \cdot x_1$$

Основы цифровой электроники.

Комбинационные логические схемы
**Особенности синтеза и функционирования комбинационных
цифровых устройств**

У комбинационных цифровых устройств состояние выхода зависит только от состояний их входов в данный тактовый момент времени. Синтез (логическое проектирование) комбинационных устройств осуществляется на основе математического аппарата, изложенного в предыдущей главе. Для построения рассматриваемых устройств используется какой-либо функционально полный набор логических элементов при простейших КЦА, например, серия цифровых интегральных схем (ЦИС).

При проектировании схем комбинационных цифровых устройств целесообразно придерживаться следующей последовательности этапов:

- а) кодирование входных и выходных переменных и переход от словесного задания функции к табличному;
- б) переход от табличной формы задания к СДНФ;
- в) минимизация функции или получение ее минимальной ДНФ;
- г) переход от минимальной ДНФ к минимальной форме в используемом базисе (функционально полном наборе) или перевод функции из ДНФ в структурный вид в используемом базисе;
- д) составление схемы устройства.

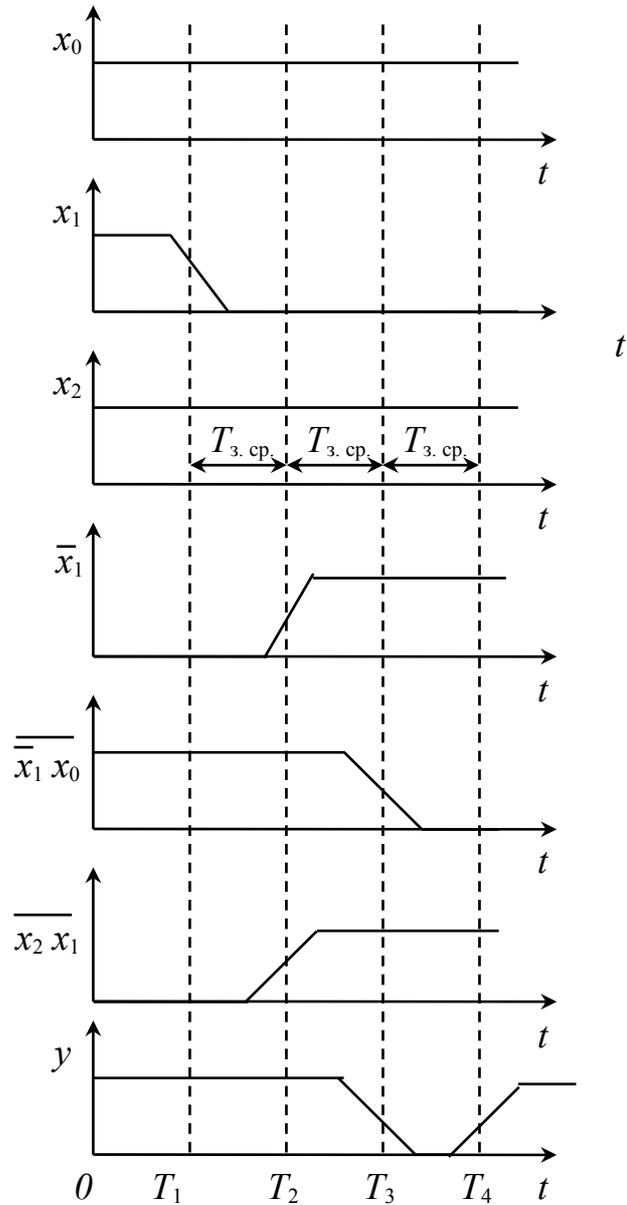
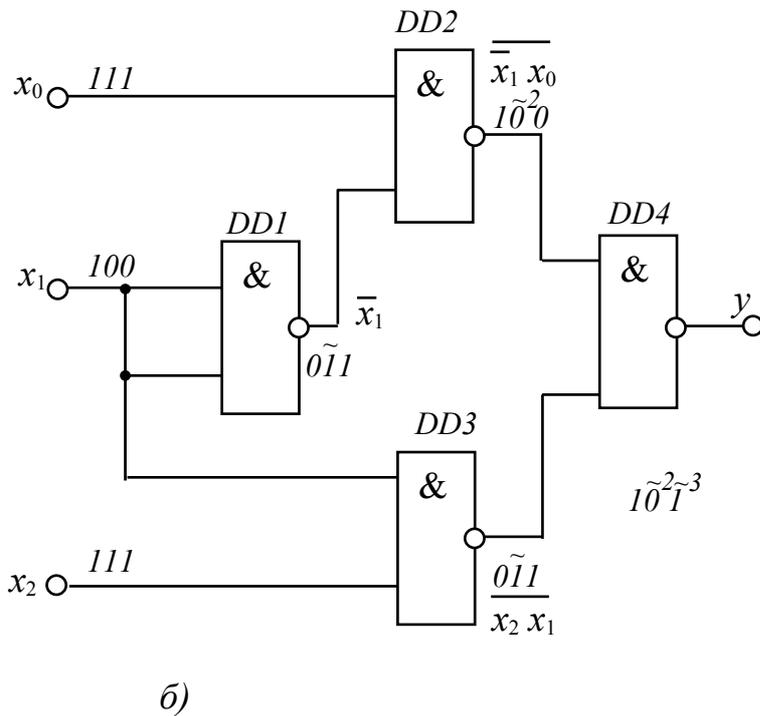
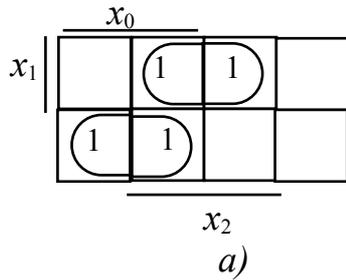
В качестве примера рассмотрим синтез решающего устройства, задаваемого следующим описанием. Имеется три датчика, которые одновременно формируют на своих выходах сообщение “да” или “нет”. Необходимо синтезировать на элементах Шеффера цифровой автомат, обеспечивающий принятие решения по следующему алгоритму. Принимается решение “да”, если сообщение “да” имеется или только на выходе первого и третьего, или на выходах всех трех датчиков.

Число входов решающего устройства комбинационного цифрового автомата, очевидно, равно трем (x_2, x_1, x_0); выход один (y). Условимся, что сообщению “да” соответствует сигнал логическая единица ($x_i, y = 0$). Исходя из описания функционирования устройства и принятого кодирования входных и выходных переменных заполняем таблицу истинности (табл. 2.1).

Таблица 2.1

| S | x_2 | x_1 | x_0 | y |
|-----|-------|-------|-------|-----|
| 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 |
| 2 | 0 | 1 | 0 | 0 |
| 3 | 0 | 1 | 1 | 0 |
| 4 | 1 | 0 | 0 | 0 |

| | | | | |
|---|---|---|---|---|
| 5 | 1 | 0 | 1 | 1 |
| 6 | 1 | 1 | 0 | 1 |
| 7 | 1 | 1 | 1 | 1 |



в)

Рис. 2.1. Синтез комбинационного цифрового автомата. Диаграмма Вейча (а), схема (б) и временные диаграммы (в)

Переходим к СДНФ функции, реализованной устройством, по изложенному во второй главе правилу:

$$y = \sum (1, 5, 6, 7) = \bar{x}_2 \bar{x}_1 x_0 \vee x_2 \bar{x}_1 x_0 \vee x_2 x_1 \bar{x}_0 \vee x_2 x_1 x_0; \quad (2.1)$$

Минимизируем данную функцию по методу Вейча – Карно (рис. 3.1, а). Из диаграммы Вейча находим минимальную ДНФ функции

$$y = \bar{x}_1 x_0 \vee x_2 x_1.$$

Для перевода полученного выражения в структурный вид в базисе элементов Шеффера необходимо произвести двухкратное инвертирование функции и преобразование по теореме Моргана

$$y = \overline{x_1} \cdot x_0 \cdot x_2 \cdot x_1. \quad (2.3)$$

По выражению (2.3) на рис. 3.1, б изображена схема синтезированного решающего устройства (КЦА).

Влияние задержек в логических элементах на функционирование цифровых устройств. При синтезе цифровых устройств на интегральных схемах одной из основных проблем является обеспечение их функциональной надежности. Под функциональной надежностью комбинационной схемы понимается ее свойство точно выполнять алгоритм функционирования, иными словами, сигнал на выходе каждого логического элемента схемы должен соответствовать значению логической функции, реализуемой данным элементом. В булевой алгебре, используемой для построения математических моделей физических элементов схем, не отражаются процессы перехода из одного состояния в другое, так как булева алгебра не имеет в качестве аргумента параметра времени, т.е. ее аппарат не является временным. Однако наличие задержек в реальных логических элементах приводит к нарушению соответствия сигналов логической функции в моменты переходных процессов. Задержки порождают так называемые состязания сигналов или гонки сигналов и, как следствие этого, вызывают неустойчивую работу цифровых устройств. В зависимости от условий перехода устройства от одного состояния к другому состязания подразделяются на статические и динамические. Если для двух последовательных соседних состояний входов состояние выхода должно остаться неизменным, то состязания называются статическими.

Можно назвать следующие способы устранения эффекта состязаний:

- 1) введение логической избыточности;
- 2) подбор задержек логических элементов;
- 3) введение дополнительной синхронизации.

Рассмотрим способы устранения эффекта состязаний на примере устройства, синтезированного выше.

Введение логической избыточности. Для получения КЦА, свободного от состязаний, необходимо и достаточно для каждой пары смежных состояний входов, для которых функция имеет одноименное (нулевое или единичное) состояние, найти по крайней мере одну импликанту, покрывающую оба входных состояния.

Подбор задержек элементов. Для устранения эффекта состязаний по данному методу необходимо уравнивать задержки в ветвях распространения сигнала со входов. Для этого в цепь вводят повторители, имеющие такую же задержку, как и остальные элементы.

Введение дополнительной синхронизации. Этот метод базируется на том, что сигнал на выходе устройства, в котором возникает эффект состязаний, через определенное время принимает правильное значение. Следовательно, если передавать информацию потребителю после завершения

переходных процессов, то можно избежать неприятных последствий эффекта состязаний. Для этого в устройство вводят дополнительный логический элемент, который передает сигнал с выхода устройства, если сигнал синхронизации $C = 1$ равен единице, и имеет состояние “нуль”, если $C = 0$.

Устранение состязаний сигналов в цифровых устройствах требует внесения избыточности в схему, т.е. введение дополнительных элементов, и поэтому оно может быть рекомендовано только в том случае, когда состязания приводят к нежелательным последствиям.

Элементная база для практической реализации цифровых устройств

Для практической реализации цифровых автоматов обычно используются необходимые элементы или целые устройства, входящие в серии цифровых интегральных схем (ЦИС). Основой той или иной серии является базовый логический элемент. На первом этапе развития элементной базы цифровых устройств были разработаны многочисленные и довольно разнородные системы логических элементов, затем преимущественное распространение получили несколько систем элементов, обеспечивающих наилучшее сочетание важнейших для потребителей и изготовителей характеристик. К одним из исторически первых принадлежат элементы РТЛ (резисторно-транзисторная логика) и ДТЛ (диодно-транзисторная логика), которые изготавливались и на дискретных схемных элементах, в виде ЦИС. Элементы ТТЛ (транзисторно-транзисторная логика) появились как развитие системы ДТЛ и получили очень широкое применение. Элементы ЭСЛ (эмиттерно-связанная логика) и их модификации являются в настоящее время самыми быстродействующими из всех промышленно освоенных. Элементы ИИЛ (интегральная инжекционная логика) разработаны специально для больших интегральных схем (БИС). Кроме биполярных транзисторов для построения логических элементов используются и полевые транзисторы. Элементы на полевых транзисторах МОП (металл – окисел – полупроводник) и КМОП (комплементарные пары металл – окисел – полупроводник) просты в изготовлении, компактны, имеют малую потребляемую мощность. В то же время схемы на МОП-транзисторах уступают соответствующим устройствам на биполярных транзисторах по быстродействию.

Все ЦИС выпускаются сериями. К сериям согласно ГОСТ 17021–75 относят совокупность интегральных схем, которые могут выполнять различные функции, но имеют одинаковое конструктивно-технологическое исполнение и предназначены для совместного применения. Выбор серии для реализации конкретного устройства должен учитывать необходимое быстродействие устройства, потребляемую мощность, функциональные возможности серии и т.д. Для реализации цифровых автоматов могут использоваться не только логические элементы, но и функциональные узлы,

входящие в серии ЦИС. Кроме этого, сложные цифровые автоматы могут быть реализованы на основе программируемых логических матриц (ПЛМ), выпускаемых в виде БИС. Новым высокоэффективным направлением является реализация цифровых автоматов на основе матричных БИС, относящихся к классу полужаказных микросхем высокой степени интеграции, которые проектируются на основе базового матричного кристалла. Базовый матричный кристалл представляет собой полупроводниковый кристалл, на котором в определенном порядке размещаются на определенных местах некоммутированные активные и пассивные компоненты (транзисторы, диоды, резисторы и т.д.). Компоненты подбираются таким образом, чтобы из них можно было построить разнообразные элементы, перечень которых образует функциональный набор– библиотеку элементов. По заказу потребителя производятся соответствующие соединения внутри этой БИС, т.е. построение необходимого цифрового автомата. В настоящем пособии вопросы практического построения цифровых устройств рассматриваются применительно, в основном, к наиболее перспективным сериям ЦИС: стандартным ТТЛ сериям К133, К155, КМ155; быстродействующим с диодами Шоттки (ТТЛШ) К531, К1531; маломощным с диодами Шоттки К555, КМ555, КР1533; быстродействующим с эмиттерной связью (ЭСЛ) сериям 100, 500 и К1500. Основные данные и особенности применения этих серий представлены в [8, 9, 16, 17].

Цифровые логические элементы

Даже самые сложные преобразования цифровой информации, в конечном счете, сводятся к простейшим операциям над логическими переменными 0 и 1. Такие операции реализуются логическими элементами в соответствии с формулами алгебры логики. В идеализированных схемах логические элементы могут быть представлены моделями вида (рис. 2.6., а), т.е. условными графическими обозначениями — прямоугольниками, в которых ставится символ выполняемой операции, а на линиях входных и выходных переменных могут изображаться кружки (индикаторы инверсии), если данная переменная входит в формулу зависимости выходной переменной от входных в инверсном виде.

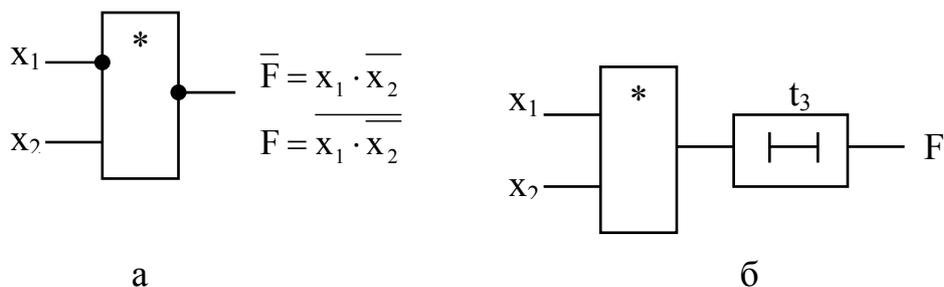


Рис. 2.6. Обозначение идеализированного логического элемента (а) и модель логического элемента с фиксированной задержкой (б)

В реальных условиях логические переменные 0 и 1 отображаются, как правило, двумя различными уровнями напряжения: U_0 и U_1 . Переход от логических переменных к электрическим сигналам ставит вопрос о логических соглашениях. Необходимо условиться, какой из двух уровней напряжения принять за U_0 и какой за U_1 . Существуют соглашения положительной и отрицательной логики. В положительной логике $U_1 > U_0$, а в отрицательной $U_1 < U_0$. Один и тот же элемент, в зависимости от принятого логического соглашения, выполняет различные логические операции. Переход от операции в положительной логике к операции в отрицательной производится инвертированием всех переменных.

В дальнейшем, если не оговорено иное, будем пользоваться соглашением положительной логики.

Наряду с обозначениями U_1 и U_0 могут быть использованы и обозначения высокого и низкого уровней напряжения соответственно как H (*High*) и L (*Low*).

Цифровые элементы. Классификация и основные параметры. Цифровые логические элементы на интегральных микросхемах (ИМС) — это микроэлектронные изделия, предназначенные для преобразования и обработки цифровых сигналов. В зависимости от вида управляющих сигналов цифровые ИМС можно разделить на три группы: потенциальные, импульсные и импульсно-потенциальные.

подавляющее большинство логических элементов относится к потенциальным, в них используются только потенциальные сигналы и совсем не используются импульсные сигналы.

В импульсных цифровых ИМС используются только импульсные сигналы и совсем не используются потенциальные. В таких ИМС управление осуществляется по перепаду потенциала во время импульса. При этом могут использоваться как положительные перепады, обозначаемые , так и отрицательные, обозначаемые .

В импульсно-потенциальных ИМС могут использоваться как потенциальные, так и импульсные сигналы. При этом импульсные входы, управляемые перепадом напряжения, обозначают косой чертой, указывающей направление перепада напряжения (/ или \).

Одни и те же преобразования логических переменных можно задать в различных формах: с помощью операций И, ИЛИ, НЕ (булевский базис), операции И-НЕ (базис Шеффера), операции ИЛИ-НЕ (базис Пирса), а также многими другими способами. Выбор базиса зависит от простоты реализации той или иной операции с помощью цифровых ИМС. Чаще всего встречаются базисы Шеффера и Пирса. В развитых сериях стандартных ИС наряду с базовыми логическими элементами обычно имеется и ряд других, выполняющих другие логические операции.

Быстродействие или даже работоспособность ЦУ зависит от задержек сигналов в логических элементах и линиях связей между ними. Реальные

переходные процессы в логических элементах достаточно сложны, и в моделях они отображаются с той или иной степенью упрощения. В простейшей модели динамические свойства элемента отражаются введением в его выходную цепь элемента задержки сигнала на фиксированное время t_3 (рис. 2.6,б). В силу простоты такая модель находит применение на практике, несмотря на то, что она является грубой и не учитывает ряд существенных факторов: технологического разброса задержек элементов, зависимости их от направления переключения элемента (из 0 в 1 или из 1 в 0), зависимости их от емкостной нагрузки, которая может быть резко выраженной и т. д. Например, для элементов КМОП задержка пропорциональна емкости нагрузки. Простейшая модель не учитывает также фильтрующих свойств реальных элементов, благодаря которым короткие входные импульсы, обладающие малой энергией, не способны вызвать переключение элемента.

Применение более точных моделей задержек сопровождается усложнением расчетов при анализе работы ЦУ и характерна для САПР.

Для правильного проектирования и эксплуатации ЦУ необходимо знать систему параметров логических элементов, которые оговариваются в технических условиях (ТУ).

Статические параметры логических элементов. В качестве важнейших статических параметров приводятся четыре значения напряжений и четыре значения токов.

Четыре значения напряжений задают границы отображения переменных (0 и 1) на выходе и входе элемента. Для нормальной работы элемента требуется, чтобы напряжение, отображающее логическую 1, было достаточно высоким, а напряжение, отображающее 0, — достаточно низким. Эти требования задаются параметрами $U_{ex.1.min}$ и $U_{ex.0.max}$. Входные напряжения данного элемента есть выходные напряжения предыдущего (источника сигналов). Уровни, гарантируемые на выходе элемента при соблюдении допустимых нагрузочных условий, задаются параметрами $U_{ex.1.max}$ и $U_{ex.0.max}$. Выходные уровни несколько "лучше" входных, что обеспечивает определенную помехоустойчивость элемента. Для уровня U_1 опасны отрицательные помехи, снижающие его, причем допустимая статическая помеха (т. е. помеха любой длительности)

$$U_{пом}^- = U_{вых.1.min} - U_{вх.1.min}$$

Для уровня U_0 опасны положительные помехи, причем допустимая статическая помеха

$$U_{пом}^+ = U_{вых.0.max} - U_{вх.0.max}$$

Четыре значения токов — входные и выходные токи в обоих логических состояниях. При высоком уровне выходного напряжения из элемента — источника ток вытекает, цепи нагрузки ток поглощают. При низком уровне выходного напряжения элемента-источника ток нагрузки втекает в этот элемент, а из входных цепей элементов-приемников токи вытекают. Зная токи $I_{вых.1.max}$ и $I_{вых.0.max}$, характеризующие возможности элемента — источника сигнала, и токи $I_{ex.1.max}$ и $I_{ex.0.max}$, потребляемые

элементами-приемниками, можно контролировать соблюдение нагрузочных ограничений, обязательное для всех элементов схемы ЦУ.

Быстродействие логических элементов. Быстродействие логических элементов определяется скоростями их перехода из одного состояния в другое. Быстродействие ЦУ определяется задержками сигналов, как в логических элементах, так и в цепях их межсоединений.

Временные диаграммы переключения инвертирующего логического элемента (рис. 2.7.) показывают длительности характерных этапов переходных процессов, отсчитываемые по так называемым измерительным уровням. Моментом изменения логического сигнала считают момент достижения им порогового уровня. Часто за пороговый уровень принимают середину логического перепада сигнала, т. е. $0,5(U_0 + U_1)$. Иногда пороговый уровень указывается более точно в паспортных данных элемента. На временных диаграммах показаны задержки распространения сигнала при изменении выходного напряжения элемента от U_1 до U_0 и обратно (t^{10} и t^{01}). Очень часто для упрощения расчетов пользуются усредненным значением задержки распространения сигнала $t_3 = 0,5(t^{10} + t^{01})$.

Следует обратить внимание на то, что усреднение согласно приведенному соотношению не относится к технологическому разбросу задержек. Также следует заметить, что справочные данные о задержках соответствуют определенным условиям измерений, указанным в справочниках. Если условия работы элемента отличаются от условий измерения, то может потребоваться коррекция справочных данных.

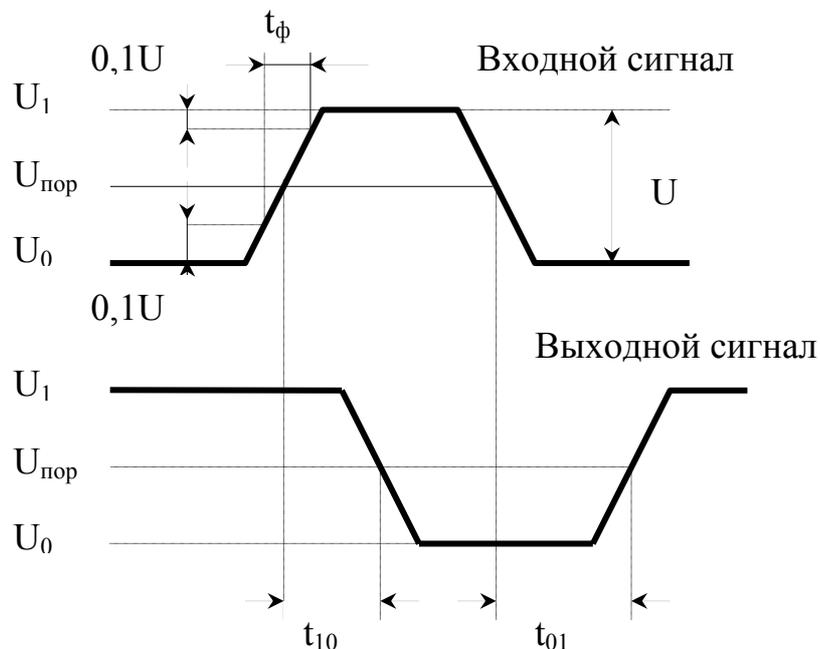


Рис. 2.7. Временные диаграммы процессов переключения логического элемента

На быстродействие ЦУ влияют также емкости, на перезаряд которых требуются затраты времени. В справочных данных приводятся входные и выходные емкости логических элементов, знание которых позволяет подсчитать емкости нагрузки в узлах схемы. Для подключаемой к выходу элемента емкости приводятся две цифры: номинальная емкость C_L (L от *Load*) и предельно допустимая емкость C_{max} . Первая емкость соответствует условиям измерения задержек сигналов, так что именно для нее справедливы значения задержек сигналов, приведенные в справочных данных. Если реальная нагрузочная емкость отличается от номинальной, то изменятся и значения задержек. Значения реальных задержек можно оценить с помощью соотношения $t_z = t_{z,n} + k\Delta C$, где $t_{z,n}$ — номинальное значение задержки; $\Delta C = C - C_L$;

C — фактическое значение нагрузочной емкости; k — коэффициент, величина которого задается для каждой серии элементов индивидуально.

Предельно допустимая ёмкость указывает границу, которую нельзя нарушать, поскольку при этом работоспособность элемента не гарантируется.

Разумеется, при подсчете емкостей в узлах ЦУ учитываются и емкости межсоединений (монтажные емкости).

Мощности потребления логических элементов. При разработке ЦУ требуется оценивать мощности их потребления, чтобы сформулировать требования к источникам питания и конструкции теплоотвода. При этом суммируются мощности, рассеиваемые логическими и другими элементами схемы, а также межсоединениями.

Мощности, потребляемые элементами, делят на статические и динамические. Статическая мощность потребляется элементом, который не переключается. При переключении потребляется дополнительно динамическая мощность, которая пропорциональна частоте переключения элемента. Таким образом, полная мощность зависит от частоты переключения элемента, что и следует учитывать при ее подсчете. Обычно не возникает трудностей при подсчете мощностей, потребляемых биполярными схемами. При подсчете мощностей, потребляемых элементами типа КМОП, положение намного сложнее и данных, приведенных в справочниках, может не хватить.

Так же основным параметрам логических элементов относятся:

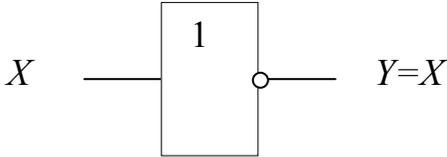
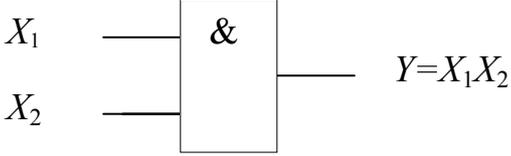
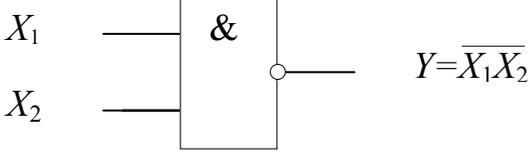
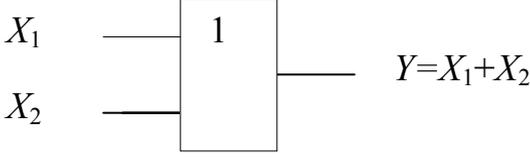
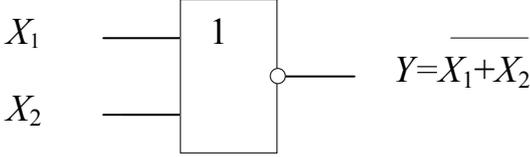
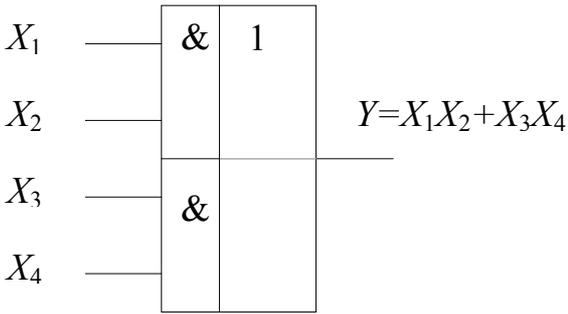
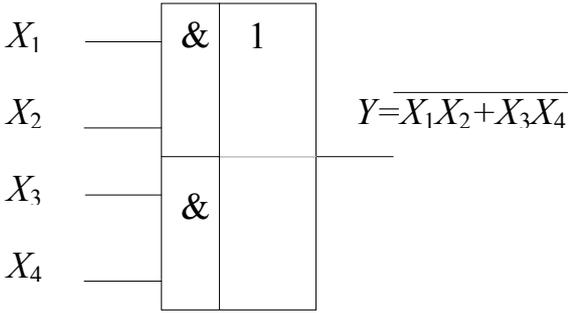
- набор логических функций;
- число входов по И и по ИЛИ;
- коэффициент разветвления по выходу;

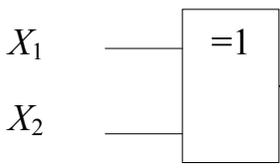
В табл.2.1 приведены основные логические функции, обозначения соответствующих элементов и их схемы.

Число входов по И и по ИЛИ лежит в пределах от 2 до 16. Если имеющегося числа, входов недостаточно, то для их увеличения используются интегральные схемы расширителей по ИЛИ, обозначаемые ЛД.

Таблица 12.1

Основные логические функции.

| Элемент | Обозначение | Выполняемая функция и схема |
|----------|-------------|--|
| НЕ | ЛН |  |
| И | ЛИ |  |
| И-НЕ | ЛА |  |
| ИЛИ | ЛЛ |  |
| ИЛИ-НЕ | ЛЕ |  |
| И-ИЛИ | ЛС |  |
| И-ИЛИ-НЕ | ЛР |  |

| | | |
|-----------------|----|--|
| Исключающее ИЛИ | ЛП |  <p> X_1 X_2 </p> <p> $=1$ </p> <p> $Y = \overline{X_1}X_2 + X_1\overline{X_2} = X_1 \oplus X_2$ </p> |
|-----------------|----|--|

Лекция №5

Основы цифровой электроники.

Цифровые и интегральные микросхемы.

ДТЛ, КМДП, ЭСЛ. R-S, D, T, J-K триггеры

Цифровые и логические элементы на ИМС- это микроэлектронные изделия , предназначенные для преобразований и обработки дискретных сигналов. Они бывают:

1. потенциальные
2. импульсные
3. импульсно-отенциальные

Большинство логических элементов являются потенциальными, в них испытывается только потенциальные сигналы и совсем не испытывается импульсные.

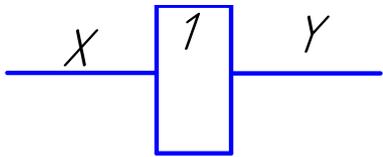
В импульсно цифровых ИМС используется только импульсные сигналы и совсем не испытывается потенциальные. В таких ИМС управление осуществляется по перепаду потенциала во время импульса, при этом могут

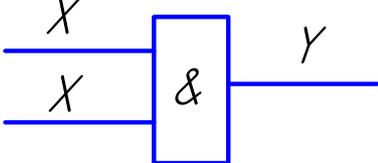
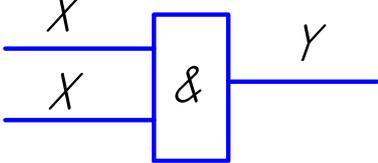
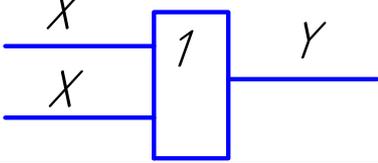
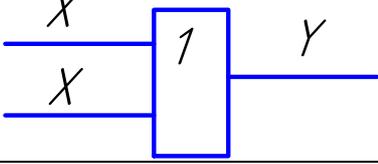
испытываться как положительные переходы  так и

отрицательные  . В импульсно потенциальных используется как потенциальные так импульсные сигналы.

Основные параметры логичных элементов

1. набор логичных функций
2. число входов по И и ИЛИ
3. Коэффициент разветвлений по выходу
4. потребляемая мощность
5. динамические параметры: задержка распространения сигнала и тактовая частота переключения всего сигнала.

| Элемент | ОБОЗНЧЕНИЯ | СХЕМА |
|---------|------------|--|
| НЕ | ЛН |  $Y=X$ |

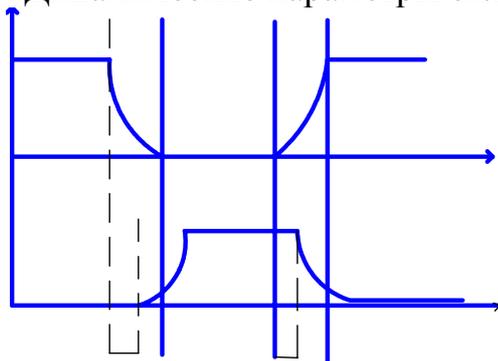
| | | |
|--------|----|---|
| И | ЛИ |  |
| И-НЕ | ЛА |  |
| ИЛИ | ЛЛ |  |
| ИЛИ-НЕ | ЛЕ |  |

Число входов по И и ИЛИ в пределах от 2 до 16. Коэффициент разветвления по выходу характеризует нагрузочную способность логического элемента и определяется количеством входов однотипных элементов, которые можно подключить к выходу.

Потребляемая мощность логических элементов обычно зависит от сигналов поданных на их вход. Обычно используют понятие средней мощности.

$$P_{\phi} = \frac{P_0 + P_1}{2}$$

Динамические параметры складываются из времени задержки



Серийные логические ИМС

В зависимости от технологии изготовления логические делятся на серии, отличаются

Набором элементов, напряжением питания, потребляемой мощности, динамическими параметрами. Наибольшее применение получили серии

логических ИМС выполненных по ТТЛ (тр транзисторная логика), ЭСЛ (эмитерная связная логика), КМОП комплементарная МОП логика).

В ИМС технология ТТЛ в качестве базового элемента используется многоэмитерный транзистор, дифференциальный усилитель выполнен на транзисторах VT-1, VT-3 эмитерный повторитель на VT-4. Повышенное быстродействие в этих элементах достигается так же ограничением перепада выходного напряжения, что связано с уменьшением помех, устойчивости ИМС ЭСЛ. Для ограничения перепада выходного напряжения используются источники Еопорное и Есмещения. Все выходы дифференциального усилителя подключены через сопротивление Rб, что позволяет не используемые выходы ИМС оставить не подключенными.

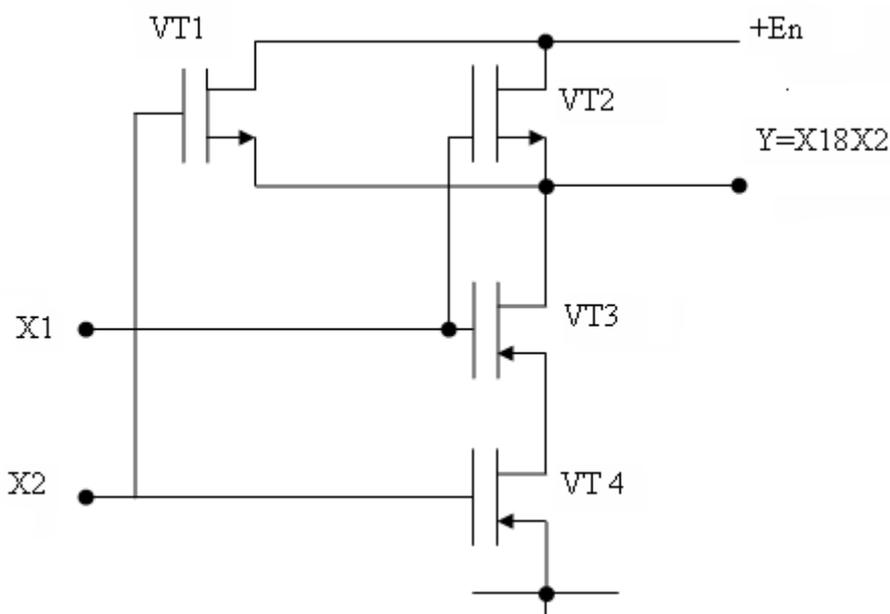
Основные параметры ИМС ЭСЛ и их отечественные аналоги.

| Серия ИМС | Напряжение Питания | Потребляемая мощность | Задержка Распределения | Мах Частота | Коэффициент разветвления |
|-----------------------------------|--------------------|-----------------------------|------------------------|-------------|--------------------------|
| МС 10000 мс 10к (100 500) | -5,2в | 35 милливольт на вентиль | 2,9наносекунд | 0,34 | 15 |
| МС 100000 МС 100к (1500) | -4,5 | 40милливольт на вентиль | 0,75наносекунд | 1,33 | 20 |

Микросхемы серий 500 и 1500 имеют несколько различий – напряжение питания(5,2 и 4,5), однако по уровням входных и выходных логических сигналов они совместимы. Напряжения логичного нуля = -1,8В, а логичной единицы = 0,9 В

ИМС КМОП.

ИМС выполненный по КМПО технологии в качестве базового элемента используется в ключевых схемах, построенные на комплементарных КМПО транзисторах. Упрощенная схема логичного элемента 2 и НЕ.



При подаче $X_2=X_1=1$ ключ на транзисторах VT1 и VT2 размыкают а на транзисторах VT3 замыкается.

Применение транзистора с изолированным затвором обеспечив высокое ** сопротивление микросхем. Благодаря малой входной емкости и высокому сопротивлению они чувствительны к статическому электричеству. Пробой подзатворного диэлектрика происходит при напряжении около **.

Защита входов ИМС КМОП с помощью встроенных диодов или стабилитронов подключенных к линиям питания.

Достоинства ИМС КМПО является малая потребляемая мощность и высокая помехозащищенность в сочетании с высокой быстродействующей нагрузочной способностью.

По сравнению с ИМС ТТЛ эти ИМС имеют следующие достоинства:

1. малая потребляемая мощность на частоте до 2 МГц (не превышая 1мкВт на вентиль)
2. большой диапазон напряжения питания от +3 до +15 В
3. высокое входное сопротивление $\approx 1\text{Мом}$
4. большая нагрузочная способность, коэффициент разветвления >50 .

Недостатки:

1. большое время задержки до 100нсек
2. повышенное выходное сопротивление порядка 1Ком
3. значительный разброс всех параметров.

| Серия ИМС | Потребляемая Мощность мкВт | Задержка распределения наносек | МАХ частота МГц | Коэффициент разветвленности | Напряжение питания В |
|------------------|----------------------------|--------------------------------|-----------------|-----------------------------|----------------------|
| СВ4000 (164,176) | 30 | 200 | 5 | 50 | 9 |
| СД | 50 | 100 | 5 | 50 | 3-15 |

| | | | | | |
|-----------------------------|-----|----|----|-----|------|
| 4000А (561,564) | | | | | |
| СД 4000В (КР 1561) | 100 | 30 | 10 | 100 | 3-18 |
| 54НС (1564) | 100 | 10 | 50 | 50 | 2-6 |

Уровни выходных сигналов зависят от напряжения питания. Уровень логической единицы $\approx 0,8E_{п}$, логического нуля $\approx 0,3 \div 2,5$.

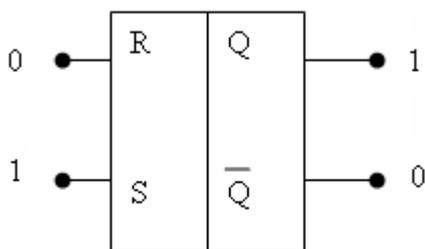
Триггеры.

Триггеры это устройства способные находиться в одном из двух или более устойчивых состояний.

Триггеры – логические устройства с памятью. Их выходные сигналы зависят не только от сигналов, приложенных ко входу, в данный момент времени, но и от сигналов, приложенных ранее.

В зависимости от свойств, числа и назначения входов триггеры можно разделить на несколько видов:

1. RS триггеры имеет два информационных входа R и S



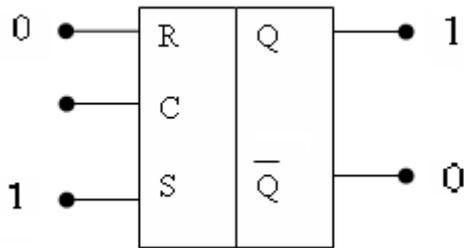
| R | L | S |
|---|---|---|
| 0 | 0 | Q |
| 0 | 1 | 1 |
| 1 | 1 | - |

Запрещенное состояние.

Подача на вход S нуля то устанавливаю Q наоборот Q устанавливаю в ***

После этой комбинации состояние выхода неопределенно.

RS триггеры могут быть асинхронные и синхронные

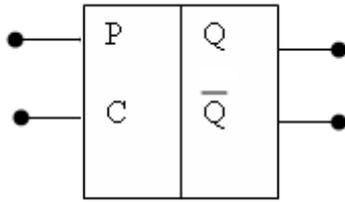


| C | R | S | Q |
|---|---|---|-------|
| 1 | 0 | 0 | Q^t |
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | - |
| 0 | * | * | Q^t |

2. J и K триггер имеет также 2 информационных входа J и K. Входы установки сигнала Q состояние логической единицы и логического нуля. Однако при $J K = 1$, на входе будет Q_t (инверсионное) выход устанавливается в противоположном состоянии. J K триггеры синхронизируются только перепадом сигнала C.

| C | R | S | Q |
|---|---|---|-------|
| 1 | 0 | 0 | Q^t |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | Q^t |
| 0 | * | * | Q^t |

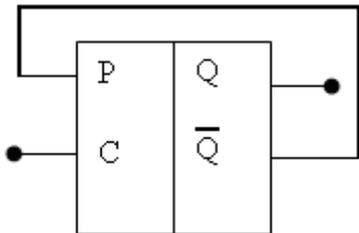
3 Д – триггер (триггер задержки)



При поступлении синхро** С устанавливается в состоянии, ** потенциалу на входе Д. Синхронизация Д триггеров может осуществляться импульсом или фронтом.

| С | Д | Q |
|---|---|-------|
| 0 | 0 | Q^t |
| 1 | 0 | 1 |
| 0 | 1 | Q^t |
| 1 | 1 | 1 |

4 Т триггеры (счетный триггер) изменяет состояние выхода по фронту на входе С. Кроме синхровхода может иметь подготовительный Т вход. Сигнал на этом входе разрешает или запрещает срабатывание триггера от фронтов импульса на входе С.



ИМС триггеров.

Выпускается большое количество ИМС триггеров построенная на диодно-транзисторной логике (ДТЛ, ТТЛ, КМОП).

Основные типы триггеров.

Обозначение ИМС триггеров состоит из:

- Первая буква – тип исполнения (к – пластмасса, км – керамика, если нет меж-керамика)
- Три цифры – обозначение серии.
- Две буквы функциональное назначение
- 1÷2 цифры порядковый номер разработки.

| Наименование триггера | Тип логики | функциональное назначение | Напряжение В | Потреб. Мощность мВт | $U_{вх}$ логич 1 В | Переключен ие из 0 – 1 наносек | Мах част ота гц |
|-----------------------|------------|---------------------------|--------------|----------------------|--------------------|--------------------------------|-----------------|
| 555 тр 2 | ТТЛ | 4 R S триггеры | 5 | 35 | 2,5 | 22 | 25 |
| 155 | ТТЛ | J К триггеры | 5 | 100 | 2,5 | 40 | 15 |
| | ТТЛ | 2 Д триггеры | 5 | 30 | 2,5 | 20 | 30 |
| | КМОП | 4 R S триггеры | ÷15 | 0,1 | 7,2 | 200 | 5 |
| | КМОП | 2 J К триггеры | ÷15 | 0,1 | 7,2 | 150 | 5 |
| | КМОП | 4 Д триггеры | ÷15 | 0,1 | 7,2 | 150 | 5 |
| | ЭСЛ | 4 Д триггеры | -5,2 | 350 | -1 | 3,5 | 100 |

Функциональное назначение :

ТР – RS триггеры , ТВ - J К триггеры, ТМ - Д триггеры, ТТ – Т триггеры, ТП – прочие.

Основные параметры ИМС триггеров делятся на статические и динамические.

Статические параметры – $U_{вх}$ логический ...1 ($U_{вх}$), ток потребления от источника питания, нагрузочная **.

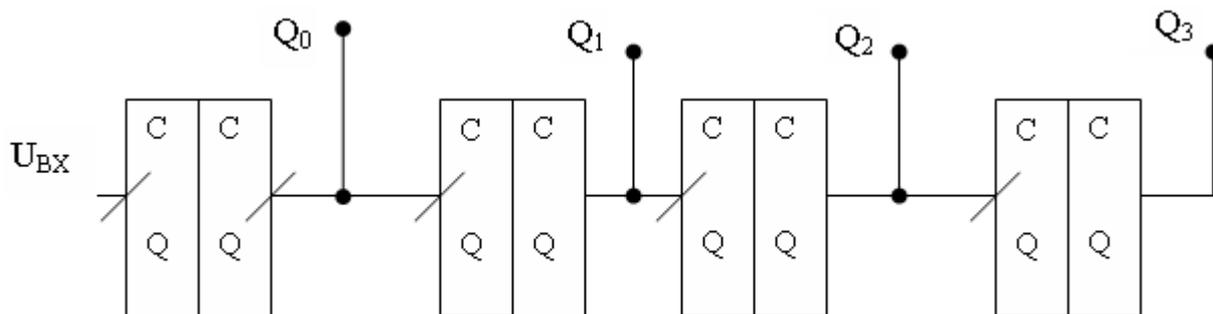
Динамические параметры – время переключения из ** в «1», время переключения из «1» в «0», мах частота переключения, определена типом используемой **

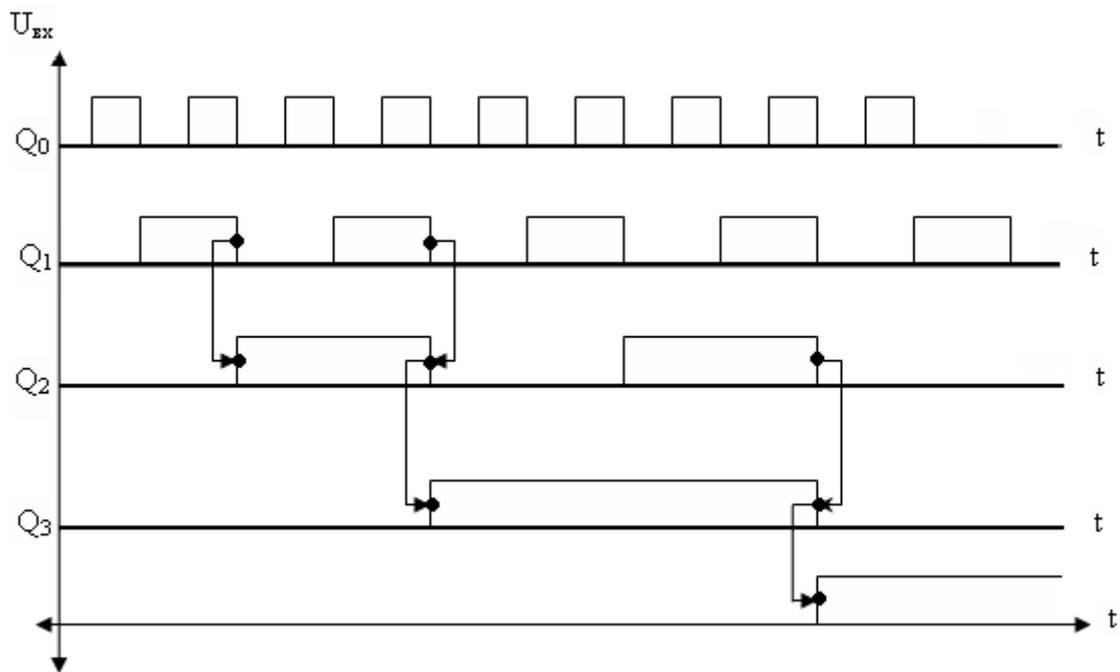
Счетчик импульсов.

Счетчик – цифровое устройство, предназначенное для подсчета числа импульсов.

В процессе работы счетчик последовательно изменяет свое состояние, количество – модуль счета. Каждому устойчивому состоянию соответствует код, если коды расположены в возрастающем порядке, то это суммирующий счетчик, если в убывающем – вычитающий. Существуют реверсные счетчики – можно менять направление перечисления***

Последовательный счетчик на Т – триггерах





| Серия ИМС | Потребляемая Мощность мкВт | Задержка распределения наносек | МАХ частота МГц | Коэффициент разветвленности | Напряжение питания В |
|--------------------|----------------------------|--------------------------------|-----------------|-----------------------------|----------------------|
| СВ4000 (164,176) | 30 | 200 | 5 | 50 | 9 |
| СД 4000А (561,564) | 50 | 100 | 5 | 50 | 3-15 |
| СД 4000В (КР 1561) | 100 | 30 | 10 | 100 | 3-18 |
| 54НС (1564) | 100 | 10 | 50 | 50 | 2-6 |

Уровни выходных сигналов зависят от напряжения питания. Уровень логической единицы $\approx 0,8E_{п}$, логического нуля $\approx 0,3 \div 2,5$.

Функциональные узлы цифровой электроники.

Преобразователи кодов, шифраторы и дешифраторы

Операция изменения кода числа называется его перекодированием. Интегральные микросхемы, выполняющие эти операции, называются преобразователями кодов. Преобразователи кодов бывают простые и сложные. К простым относятся преобразователи, которые выполняют стандартные операции изменения кода чисел, например, преобразований двоичного кода в одинарный или обратную операцию. Сложные преобразователи кодов выполняют нестандартные преобразования кодов и их схемы приходится разрабатывать каждый раз с помощью алгебры логики.

Будем считать, что преобразователи кодов имеют n входов и k выходов. Соотношения между n и k могут быть любыми: $n=k$, $n<k$ и $n>k$. При преобразовании кода чисел с ними могут выполняться различные дополнительные операции, например, умножение на весовые коэффициенты. Примером невесового преобразования является преобразование двоично-десятичного кода в двоичный. Весовые преобразователи кодов используются при преобразовании числовой информации.

Интегральные микросхемы преобразователей кодов выпускаются только для наиболее распространенных операций:

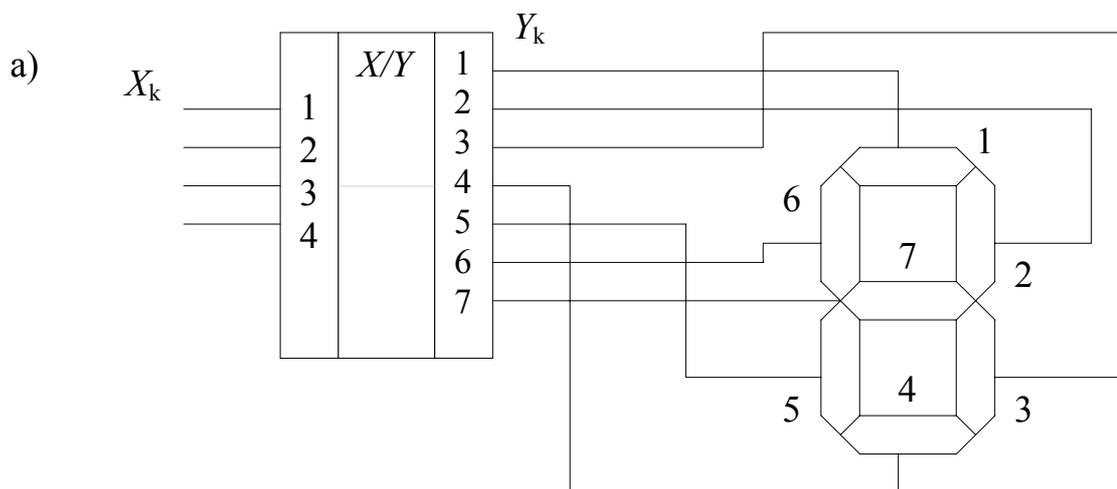
- преобразователи двоично-десятичного кода в двоичный код;
- преобразователи двоичного кода в двоично-десятичный код;
- преобразователи двоичного кода в код Грея;
- преобразователи двоичного кода в код управления сегментными индикаторами;
- преобразователи двоичного или двоично-десятичного кода в код управления шкальными или матричными индикаторами.

В качестве примера рассмотрим преобразователь двоичного кода в код управления семисегментным цифровым индикатором, приведенный на рис. 3.1 а. Сам индикатор представляет собой полупроводниковый прибор, в котором имеются семь сегментов, выполненных из светодиодов. Включением и выключением отдельных сегментов можно получить светящееся изображение отдельных цифр или знаков. Конфигурация и расположение сегментов индикатора показаны на рис. 3.1а. Каждой цифре соответствует свой набор включения определенных сегментов индикатора. Соответствующая таблица приведена на рис. 3.1 б. В этой таблице также приведены двоичные коды соответствующих цифр.

Такие индикаторы позволяют получить светящееся изображение не только цифр от 0 до 9, но других знаков, используемых в 8- и 16-ричной системах счисления. Для управления такими индикаторами выпускаются интегральные микросхемы типов КР514ИД1, К514ИД2, К133ПП1, 176ИД2,

176ИДЗ, 564ИД4, 564ИД5 и др. Преобразователи кодов, выполненные по технологии КМОП, можно использовать не только со светодиодными индикаторами, но и с жидкокристаллическими или катодолюминесцентными.

Шкальные индикаторы представляют собой линейку светодиодов с одним общим анодом или катодом. Преобразователи двоичного кода в код управления шкальным индикатором обеспечивают перемещение светящегося пятна, определяемое двоичным кодом на адресном входе.



б)

| n | Сегменты Y_k | | | | | | | Код X_k | | | |
|---|----------------|---|---|---|---|---|---|-----------|---|---|---|
| | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 4 | 2 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| 2 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 0 |
| 3 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 |
| 4 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 |
| 5 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 0 | 1 |
| 6 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 0 |
| 7 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 |
| 8 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 |
| 9 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 1 |

Рис.3.1. Схема преобразователя кода для семисегментного индикатора (а) и таблица соответствия кодов (б)

Примерами простейших преобразователей кодов, которые широко применяются в цифровых устройствах, являются шифраторы и дешифраторы.

Шифраторы

Шифратором называют кодовый преобразователь, который имеет n входов и k выходов, и при подаче сигнала на один из входов (обязательно только на один) на выходах появляется двоичный код возбужденного входа.

Рассмотрим принцип построения шифратора на примере преобразования 8-разрядного единичного кода в двоичный код. Условное схематическое обозначение его приведена на рис. 3.2. Если все входные сигналы имеют нулевое значение, то на выходе шифратора будем иметь нулевой код $Y_0=Y_1=Y_2=0$.

Младший выход, т. е. выход с весовым коэффициентом, равным 1, должен возбуждаться при входном сигнале на любом из нечетных входов, так как все нечетные номера в двоичном представлении содержат единицу в младшем разряде. Следовательно, младший выход — это выход схемы ИЛИ, к входам которой подключены все входы с нечетными номерами.

Следующий выход имеет вес два. Он должен возбуждаться при подаче сигналов на входы с номерами 2, 3, 6, 7, т. е. с номерами, имеющими в двоичном представлении единицу во втором разряде. Таким образом, входы элемента ИЛИ должны быть подключены к входным сигналам, имеющим указанные номера.

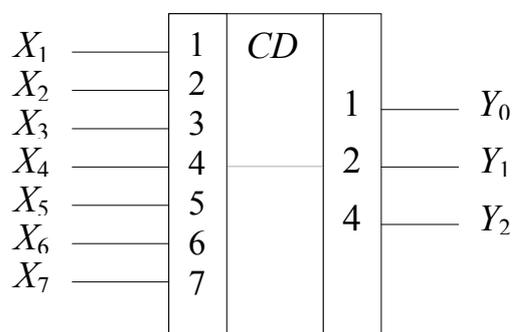


Рис.3.2. Условное схематическое обозначение шифратора восьмиразрядного единичного кода

Как следует из выполненного построения, при помощи шифратора можно сократить (сжать) информацию для передачи ее по меньшему числу линий связи, так как $k < n$. Обратное преобразование, т. е. восстановление информации в первоначальном виде можно выполнить с помощью дешифратора. Очевидно, что максимальное Число входов шифратора не может превышать количество возможных комбинаций выходных сигналов, т. е. необходимо выполнение условия $n \leq 2^k$ для полного шифратора).

В цифровых системах с помощью шифраторов обеспечивается связь между различными устройствами посредством ограниченного числа линий связи. Так, например, в кнопочных пультах управления ввод числовых данных обычно выполняется в унитарном коде посредством нажатия одной

из десяти кнопок, а ввод данных в микропроцессор выполняется в двоичном коде. Для преобразования кода кнопочного пульта в код микропроцессора также используется шифратор «из 10 в 4». Однако, поскольку четырехразрядный двоичный код имеет не 10, а 16 возможных комбинаций, такой шифратор будет неполным.

Дешифраторы

Дешифратором называют преобразователь двоичного n -разрядного кода в унитарный $2n$ -разрядный код, все разряды которого, за исключением одного, равны нулю. Дешифраторы бывают полные и неполные. Для полного дешифратора выполняется условие:

$$N=2^n, \quad (3.2)$$

где n — число входов, а N — число выходов.

В неполных дешифраторах имеется n входов, но реализуется $N < 2^n$ выходов. Так, например, дешифратор, имеющий 4 входа и 10 выходов будет неполным, а дешифратор, имеющий 2 входа и 4 выхода, будет полным.

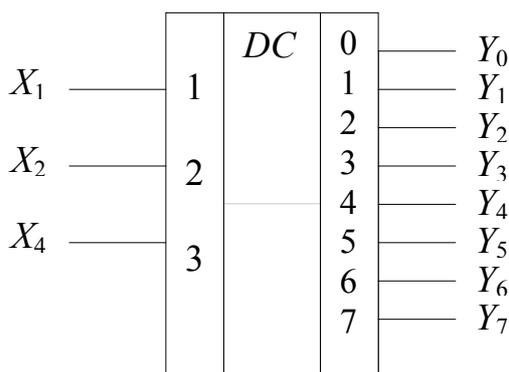


Рис. 3.3. Условное обозначение дешифратора 3×8

Младшие разряды дешифрируемого числа X_1 и X_2 подаются на входы дешифраторов DD2...DD5. Однако выполнять дешифрирование этих разрядов будет только тот дешифратор, который включен сигналом, поданным на вход С от дешифратора старших разрядов.

Так, например, при дешифрировании числа 1001 на вход поступает код 10, которым возбуждается выход 2. В этом случае включается дешифратор DD4, на вход которого подан код 01 младших разрядов дешифрируемого числа. В результате будет возбужден выход 1 дешифратора DD4, при этом на выходе появится сигнал Y_9 , что соответствует выбранному входному коду.

Для расширения числа входов и выходов используют каскадное включение дешифраторов. На рис. 3.4 показана группа из пяти дешифраторов, соединенных последовательно в два каскада. Все дешифраторы одинаковые. Кроме кодовых входов каждый дешифратор

имеет вход стробирующего сигнала (вход C). Сигнал на выходе дешифратора появляется только при $C=1$. Если $C=0$, то на всех выходах дешифратора будут нули, т. е. дешифратор заперт.

На входы первого дешифратора $DD1$ подаются старшие разряды X_8 и X_4 числа, которое нужно дешифровать. Таким образом, дешифратор $DD1$ определяет, какой из четырех дешифраторов $DD2 \dots DD5$ из подключенных к нему будет выполнять дешифрирование младших разрядов числа. Выходные сигналы первого дешифратора подключены к стробирующим входам C остальных и разрешают их работу.

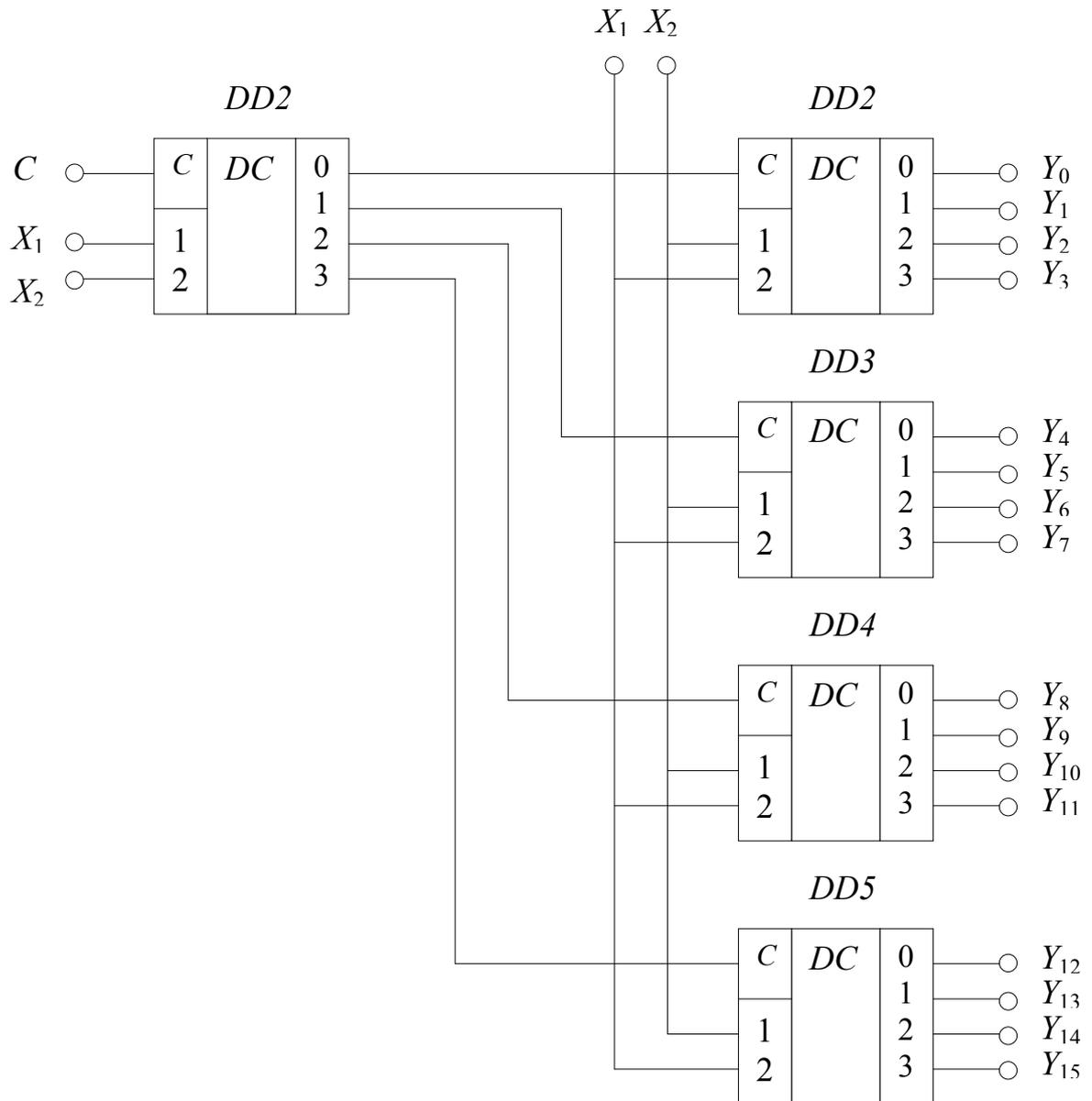


Рис. 3.4. Каскадное включение дешифраторов

Мультиплексоры и демультиплексоры

Мультиплексором (MUX) называют функциональный узел, который обеспечивает передачу цифровой информации, поступающей по нескольким входным линиям связи, на одну выходную линию. Выбор входной линии, информация с которой поступает на выход, осуществляется при помощи сигналов, поступающих на адресные входы.

Обобщенная схема мультиплексора приведена на рис. 3.5. Мультиплексор *MUX* (*Multiplexer*) в общем случае можно представить в виде коммутатора, управляемого входной логической схемой. Входные логические сигналы X , поступают на входы коммутатора и через коммутатор передаются на выход Y . Управление коммутатором осуществляется входной логической схемой. На вход логической схемы подаются адресные сигналы A_k (Adress). Мультиплексоры могут иметь дополнительный управляющий вход E (Enable), который может выполнять стробирование выхода Y . Кроме этого некоторые мультиплексоры могут иметь выход с тремя состояниями: два состояния 0 и 1 и третье состояние — отключенный выход (выходное сопротивление равно бесконечности). Перевод мультиплексора в третье состояние производится сигналом *OE* (*Output Enable*).

Большинство мультиплексоров способно передавать сигналы информации X_t только в одном направлении — от входа на выход. Однако имеются мультиплексоры, которые могут передавать информационные сигналы в обоих направлениях. Такие мультиплексоры называются двунаправленными. Двунаправленные мультиплексоры способны передавать не только цифровые, но и аналоговые сигналы. В литературе такие мультиплексоры часто называют селекторами-мультиплексорами (*Data Selector-Multiplexer*).

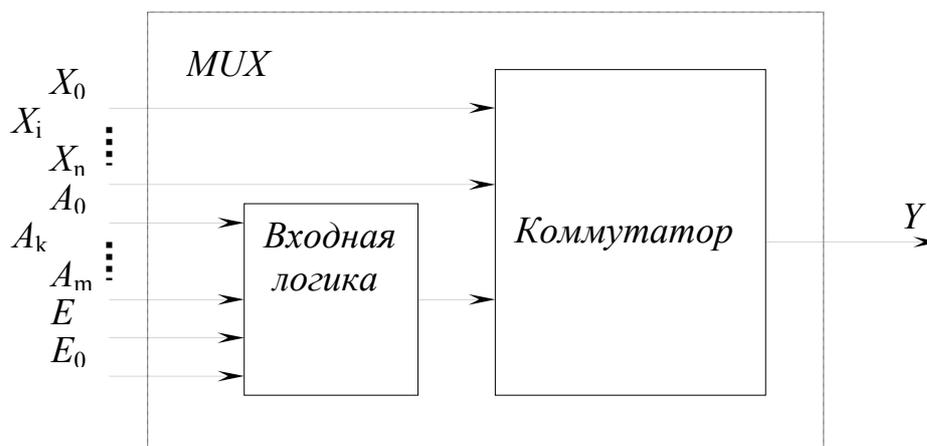


Рис.3.5. Обобщенная схема мультиплексора

Мультиплексоры со стробирующим входом E выполняют функции передачи сигналов только при поступлении сигнала стробу E . Мультиплексоры, имеющие три состояния выхода, можно каскадировать.

Для обозначения коммутационных возможностей мультиплексора можно пользоваться условно записью $(n \rightarrow 1)$, где n — число входов. Так, например, мультиплексор с функцией $(1 \rightarrow 1)$ является одиночным ключом, а мультиплексор $(4 \rightarrow 1)$ имеет четыре входа и один выход.

В зависимости от соотношения числа информационных входов n и числа адресных входов m мультиплексоры делятся на полные и неполные. Если выполняется условие $n=2^m$, то мультиплексор будет полным. Если это условие не выполняется, т. е. $n < 2^m$, то мультиплексор будет неполным. Наибольшее распространение получили мультиплексоры $(2 \rightarrow 1)$ с $n=2$ и $m=1$, $(4 \rightarrow 1)$ с $n=4$ и $m=2$, $(8 \rightarrow 1)$ с $n=8$ и $m=3$ и $(16 \rightarrow 1)$ с $n=16$ и $m=4$. Для неполных мультиплексоров число входных линий может быть любым, но, разумеется, не больше $2m$.

В общем виде выходная функция мультиплексора может быть представлена как

$$Y = \sum_{i=0}^{n-1} X_i \cdot K_i \quad (3.5)$$

где K_i , называется минитермом ($K_i=0$ или 1) и равно логическому произведению сигналов на адресных линиях, соответствующих сигналу X_i .

Для расширения числа входных линий можно использовать каскадирование мультиплексоров.

Таблица 3.4

Состояние мультиплексора (4 - 1)

| A ₀ | A ₁ | Y |
|----------------|----------------|----------------|
| 0 | 0 | X ₀ |
| 0 | 1 | X ₁ |
| 1 | 0 | X ₂ |
| 1 | 1 | X ₃ |

Интегральные микросхемы мультиплексоров можно разделить на группы по следующим признакам:

- по числу входов: 2-, 4-, 8- и 16-входовые;
- по числу мультиплексоров в одном корпусе (числу разрядов);
- по наличию стробирующего входа E ;
- по наличию выхода с тремя состояниями (наличию входа OE);
- по способности передавать сигналы в двух направлениях.

Применение мультиплексоров с тремя состояниями выходов позволяет легко увеличить число коммутируемых каналов.

Помимо основного назначения коммутации входных сигналов мультиплексоры находят применение в сдвигающих устройствах, делителях частоты, триггерных устройствах и др.

Демультимплексором (DMX) называют функциональный узел, который обеспечивает передачу цифровой информации, поступающей по одной линии, на несколько выходных линий. Выбор выходной линии осуществляется при помощи сигналов, поступающих на адресные входы. Таким образом, демультимплексор выполняет преобразование, обратное действию мультиплексора.

Обобщенная схема демультимплексора, приведенная на рис. 3.6, сходна со схемой мультиплексора. Входной сигнал x поступает на вход коммутатора и через него передается на выходы $Y_0 \dots Y_n$. Адресные сигналы $A_0 \dots A_k$ имеют то же назначение, что и у мультиплексора. Сигнал стробирования E разрешает передачу входного сигнала через коммутатор.

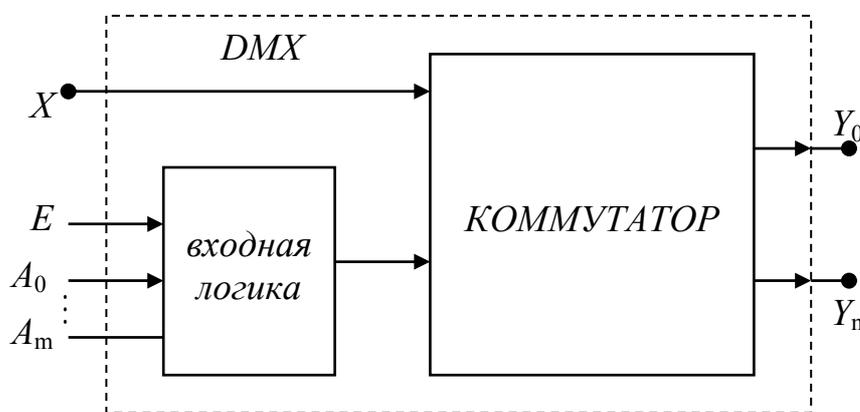


Рис.3.6. Обобщенная схема демультимплексора

Для обозначения коммутационных возможностей демультимплексоров можно пользоваться записью, аналогичной мультиплексорам ($1 \rightarrow n$), где n — число выходов демультимплексора. Так, например, демультимплексор ($1 \rightarrow 2$) имеет два выхода, а демультимплексор ($1 \rightarrow 4$) — четыре выхода.

$$\begin{aligned}
 Y_0 &= X \cdot (\overline{A_0} \cdot \overline{A_1}) = \overline{\overline{X} + A_0 + A_1} & Y_1 &= X \cdot (A_0 \cdot \overline{A_1}) = \overline{\overline{X} + \overline{A_0} + A_1} \\
 Y_2 &= X \cdot (\overline{A_0} \cdot A_1) = \overline{\overline{X} + A_0 + \overline{A_1}} & Y_3 &= X \cdot (A_0 \cdot A_1) = \overline{\overline{X} + \overline{A_0} + \overline{A_1}}
 \end{aligned}
 \tag{3.6}$$

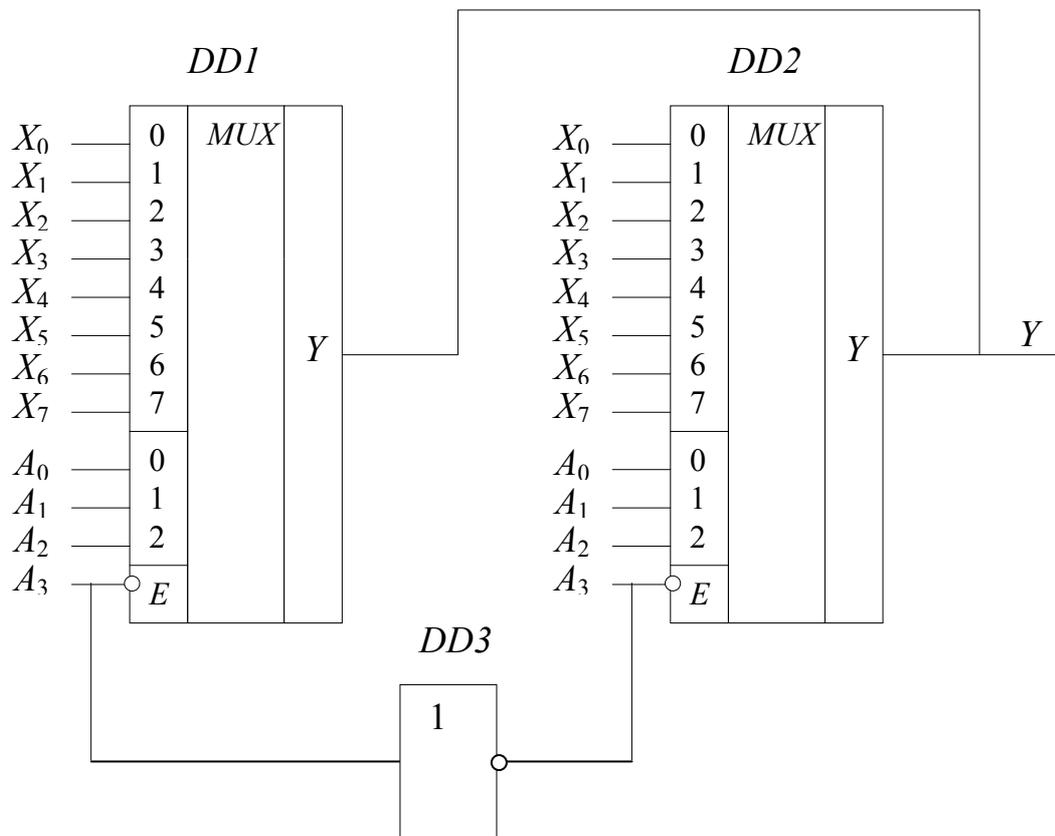


Рис.3.7. Каскадирование мультиплексоров с тремя состояниями выхода

Демультимплексоры, как и мультиплексоры, могут быть полными и неполными. Деление мультиплексоров на эти две категории производится так же, как и у мультиплексоров, с той лишь разницей, что под и понимается число выходов, а не входов, как в мультиплексоре.

Интегральные микросхемы демультимплексоров, так же, как и схемы мультиплексоров, можно разделить на группы по следующим признакам:

- по числу выходов;
- по числу демультимплексоров в одном корпусе;
- по наличию стробирующего импульса E,
- по способности передавать сигналы в двух направлениях.

Поскольку функции демультимплексоров сходны с функциями дешифраторов, их условное обозначение сделано одинаковым, а именно ИД. Поэтому такие микросхемы часто называют дешифраторами - демультимплексорами. Так, например, дешифратор К155ИД3 можно использовать в качестве демультимплексора с форматом (1 → 16). При этом входы разрешения дешифрации используются в качестве основного входа демультимплексора X, а адресные входы и выходы используются по прямому назначению.

Мультиплексоры - демультиплексоры. Среди схем коммутации можно особо выделить схемы, которые способны пропускать сигналы в обоих направлениях. К таким элементам относятся коммутационные микросхемы, выполненные по технологии КМОП. Коммутаторы КМОП способны пропускать как аналоговые, так и цифровые сигналы, в них можно менять местами вход и выход. Такие элементы выпускаются в следующих сериях интегральных микросхем: К176, К561, К564, КР1561, 1564, 590 и 591.

Для обозначения коммутационных возможностей мультиплексоров-демультиплексоров можно пользоваться записью $(1 \leftrightarrow n)$, в котором двунаправленная стрелка указывает на двунаправленную передачу сигналов.

Функциональные узлы цифровой электроники.

Компараторы

Компараторы (устройства сравнения чисел) выполняют операцию определения отношения между двумя числами. Основными отношениями можно считать "равно" и "больше". Другие отношения могут быть определены через основные. Так, признак неравенства чисел можно получить как инверсию признака равенства $y_{A \neq B} = \overline{y_{A=B}}$, отношение «меньше» — путем перемены местами аргументов в функции $y_{A > B}$ ($y_{A < B} = y_{B > A}$).

Компараторы находят широкое применение в системах цифровой обработки радиотехнических сигналов, например, для сравнения выходного сигнала приемного устройства РЛС с пороговым сигналом в устройствах измерения задержки и т. д.

Устройства сравнения на равенство строятся на основе поразрядных операций над одноименными разрядами обоих чисел. Признак равенства чисел имеет единичное значение ($Y_{a=b} = 1$) если во всех одноименных разрядах чисел

$$A = \sum_{i=0}^{m-1} 2^i a_i ; B = \sum_{i=0}^{m-1} 2^i b_i \text{ содержатся либо единицы, либо нули. В этом}$$

случае логическая функция, реализуемая устройством сравнения на равенство, имеет вид

$$y_{A=B} = \overline{a_{m-1} \oplus b_{m-1} \vee \dots \vee a_1 \oplus b_1 \vee a_0 \oplus b_0} \tag{3.7}$$

На основании выражения (3.6) устройство сравнения легко строится, например, на ЦИС ЛП5 и ЛАЗ.

Обычно оказывается удобным иметь на выходе компаратора все три возможных признака сравнения $y_{A < B}$, $y_{A=B}$, $y_{A > B}$.

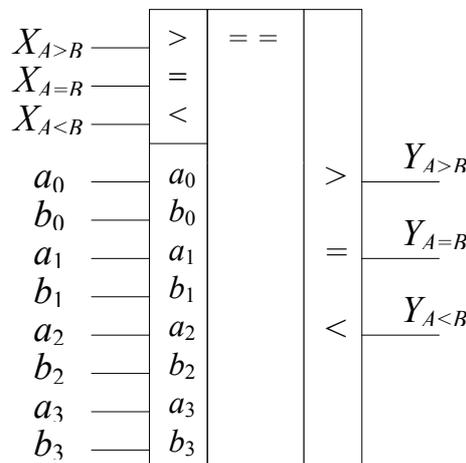


Рис. 3.8. Условное графическое обозначение компаратора

По заданной таблице истинности компаратор может быть синтезирован рассмотренными методами. Существуют компараторы в интегральном исполнении. Так в ТТЛ серии входит ЦИС, представляющая собой четырех разрядный компаратор. Компаратор СП1 имеет 11 входов и три выхода. (3.8).

Четыре пары входов принимают для анализа два четырех разрядных числа A и B . Три входа $x_{A>B}$, $x_{A=B}$, $x_{A<B}$ необходимы для наращивания разрядности компаратора. Компаратор имеет три выхода результатов сравнения $y_{A<B}$, $y_{A=B}$, $y_{A>B}$. Функционирование компаратора представляется в табл. 3.10. Так, например, если старшие разряды находятся в отношении $a_4 > b_4$ табл. 3.10, то при любых сигналах на остальных входах на выходах $y_{A>B}$ будет присутствовать сигнал единица и нули на остальных выходах. Пять последних строк табл. 3.10 отображают режим наращивания разрядности, которое может быть последовательным и параллельным.

Таблица 3.9

Таблица истинности компаратора

| A | | B | | Входы | | |
|-------|-------|-------|-------|-----------|-----------|-----------|
| a_1 | a_0 | b_1 | b_0 | $y_{A<B}$ | $y_{A=B}$ | $y_{A>B}$ |
| 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 0 | 1 | 1 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 1 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 0 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 0 | 1 | 0 |

При последовательном наращивании выходы $y_{A<B}$, $y_{A=B}$, $y_{A>B}$ компаратора, сравнивающего младшие четыре разряда операндов, следует

присоединить к одноименным входам последующего каскада. Для правильной работы многокаскадного компаратора на входы первой ЦИС $x_{A<B}$ и $x_{A>B}$ следует подать сигналы, соответствующие нулю, а на вход $x_{A=B}$ - единице. Этим способом при двух компараторах СП1 можно сравнивать два восьмиразрядных числа. Аналогично можно строить последовательный компаратор для сравнения чисел большей разрядности. Однако каждый последовательный каскад добавит время задержки компаратора. Для уменьшения общей задержки компаратора целесообразно использовать параллельное включение компараторов. Здесь компаратор младших разрядов используется как четырехразрядный, четыре старших — как пятиразрядные. При этом входы $x_{A>B}$ и $x_{A<B}$ служат пятой парой разрядных входов. На входы $x_{A=B}$ подано напряжение, соответствующее логическому нулю. Таким образом, компаратор может сравнивать двадцатичетырехразрядные операнды А и В. Его время задержки равно удвоенной задержке каждого парциального компаратора.

Арифметические устройства

К арифметическим устройствам относятся сумматоры, арифметико-логические устройства (АЛУ) и перемножители много разрядных двоичных чисел (операндов).

Сумматоры. Сумматор — узел, обеспечивающий суммирование двух чисел. Сложение в двоичной системе счисления является самой важной арифметической операцией, так как оно лежит в основе других арифметических операций: вычитания, умножения, деления.

Основными устройствами, обеспечивающими элементарные операции, являются одноразрядные сумматоры. Все сумматоры подразделяются на две основные группы: комбинационные — не обладающие функцией хранения, и накопительные — обладающие функцией хранения информации. Каждый из указанных типов сумматоров подразделяется на сумматоры параллельного действия, обеспечивающие суммирование k -разрядных кодов во всех разрядах одновременно, и одноразрядные суммирующие схемы (одноразрядные сумматоры). Последние являются основой построения сумматоров как последовательного, так и параллельного действия. В данном параграфе рассматриваются комбинационные параллельные сумматоры как одноразрядные, так и многоразрядные. В связи с тем, что сумматоры широко используются в цифровой аппаратуре, они выпускаются также в виде интегральных схем.

Полусумматор. Полусумматор реализует операцию сложения двух двоичных одноразрядных чисел и формирует на своих выходах сигналы суммы и переноса в старший разряд. В условном обозначении (рис. 3.9,а) полусумматор отображается буквами HS от слова *halfsumimator*. Исходя из правил сложения двоичных чисел, можно заполнить таблицу истинности полусумматора рис. 3.9,б_из таблицы видно, что полусумматор выполняет

логические функции $S=a\oplus b$; $CR=ab$ и поэтому его схема может быть реализована в виде, изображенном на рис. 3.9,в.

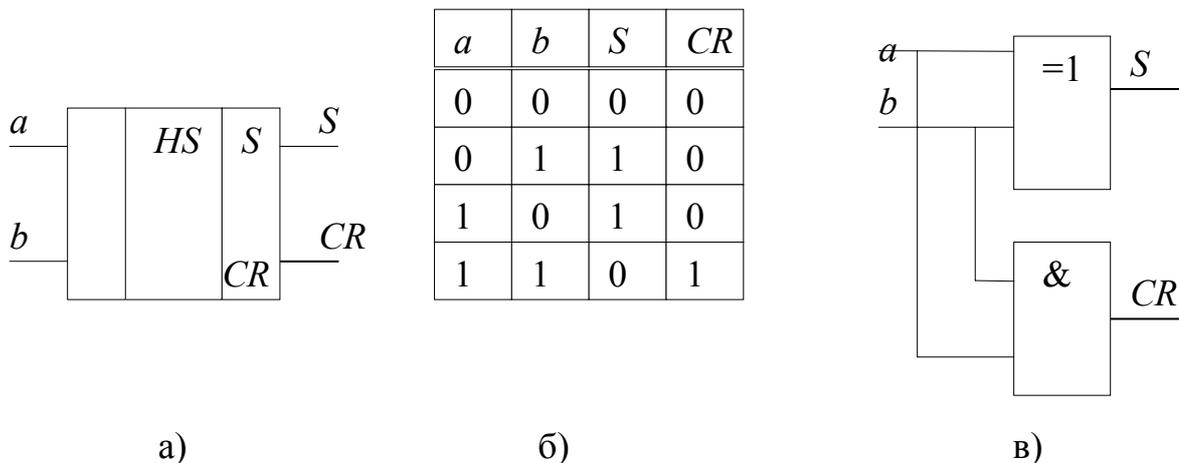


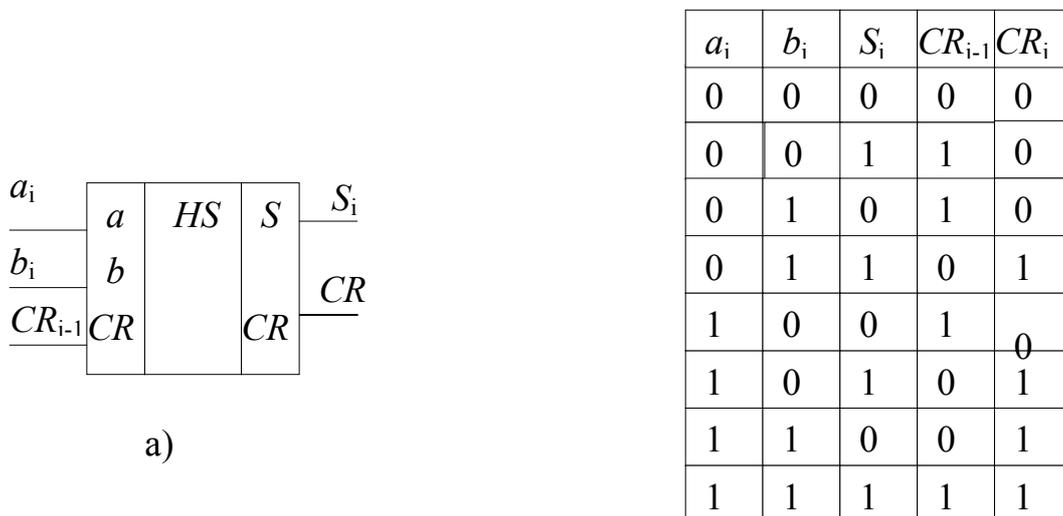
Рис. 3.9. Полусумматор. Условное обозначение (и), таблица истинности (б) и схема (в)

Одноразрядные полные сумматоры. Одноразрядный полный сумматор в отличие от полусумматора обеспечивает сложение трех двоичных цифр—слагаемых a_i , b_i и сигнала переноса CR_{i-1} из предыдущего младшего разряда, а на выходе формирует сумму трех цифр s_i и сигнал переноса в следующий разряд CR_i . В условном обозначении одноразрядного полного сумматора (рис. 3.10,а) присутствуют буквы SM от слова summator. Данные его синтеза в базисе элементов Шеффера приведены на рис. 3.10. Считая задержки логических элементов сумматора одинаковыми, можно определить задержки распространения сигналов от входов a_i , b_i , CR_{i-1} до выходов s_i , CR_i .

В наилучшем случае они будут составлять величины

$$T_{3.a_i-s_i} = T_{3.b_i-s_i} = T_{3.CR_{i-1}-s_i} = 3T_{3.сп}$$

$$T_{3.a_i-CR_i} = T_{3.b_i-CR_i} = T_{3.CR_{i-1}-CR_i} = 2T_{3.сп}$$



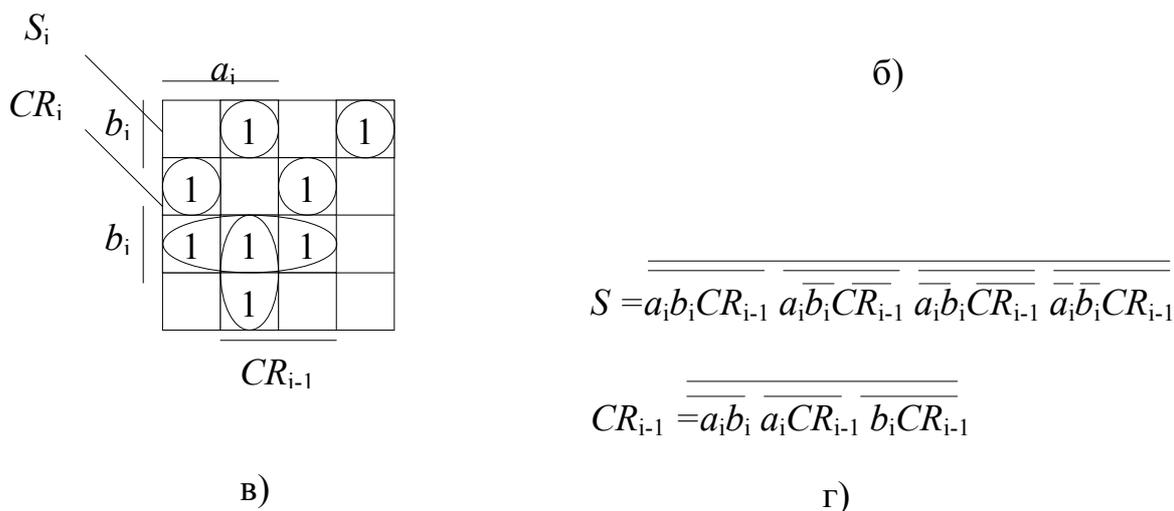


Рис.3.10. Синтез одноразрядного полного сумматора. Условное обозначение (а), таблица истинности (б), диаграммы Вейча (в), логические функции в структурной форме (г)

Арифметико-логические устройства. Многие серии ЦИС имеют в своем составе арифметико-логические устройства (АЛУ), выполняющие над операндами ряд логических и арифметических действий. Примером АЛУ может служить ЦИС ИПЗ (рис. 3.11), входящая в ТТЛ серии. Схема АЛУ довольно громоздка, и в данном пособии не приводится. Это АЛУ (английский термин — *arithmetic logic unit*) предназначено для обработки четырехразрядных операндов и имеет, кроме входов этих операндов a_i, b_i ($i = 0, 3$), входы выбора режима s_i ($i=0,3$) и вход М (mode control), сигнал на котором задает характер выполняемых операций. Если $M = 0$, то в устройстве выполняются арифметические операции. Если $M = 1$, то в устройстве блокируются межразрядные переносы, и в зависимости от комбинации сигналов s_j может выполняться любая из 16 логических операций АЛУ.

АЛУ имеет инвертированный вход переноса \overline{CR}_0 от младших разрядов, что позволяет наращивать разрядность операндов. На выходах f_k ($k = 0,3$) вырабатывается выходной операнд, выход \overline{CR}_n дает выходной перенос, который можно использовать как входной для следующего АЛУ, выходы G и H дают функции генерации передачи переноса, необходимые для использования АЛУ со схемой ускоренного переноса. Выход $u_{a=b}$ есть выход компаратора, осуществляющего сравнение на равенство. Выход компаратора выполняется по схеме с открытым коллектором, что допускает реализацию монтажной логики путем параллельного соединения аналогичных выходов нескольких АЛУ. Полный перечень операций, выполняемых АЛУ, приведен в табл. 3.11. Логические операции выполняются независимо в каждом разряде (поразрядно). Арифметические операции выполняются с учетом переносов и заемов.

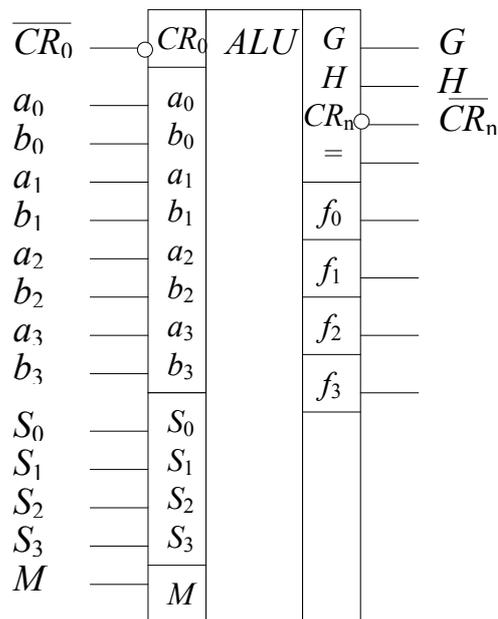


Рис.3.21. Условное графическое обозначение АЛУ

| Выбор функции | | | | Логические операции | Арифметические операции M=0 | |
|----------------|----------------|----------------|----------------|-----------------------|--------------------------------|----------------------------|
| S ₃ | S ₂ | S ₁ | S ₀ | | CR ₀ =0 | CR ₀ =1 |
| 0 | 0 | 0 | 0 | \overline{A} | A | A+1 |
| 0 | 0 | 0 | 1 | $\overline{A \vee B}$ | A∨B | (A∨B)+1 |
| 0 | 0 | 1 | 0 | $\overline{A} B$ | A∨B | (A∨ \overline{B})+1 |
| 0 | 0 | 1 | 1 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 | $\overline{A} B$ | A+ $\overline{A} B$ | A+ $\overline{A} B$ +1 |
| 0 | 1 | 0 | 1 | \overline{B} | (A∨B)+ $\overline{A} B$ | (A+B)+ $\overline{A} B$ +1 |
| 0 | 1 | 1 | 0 | A⊕B | A-B-1 | A-B |
| 0 | 1 | 1 | 1 | $\overline{A} B$ | $\overline{A} B$ -1 | $\overline{A} B$ |
| 1 | 0 | 0 | 0 | $\overline{A} \vee B$ | A+AB | A+AB+1 |
| 1 | 0 | 0 | 1 | A⊕B | A+B | A+B+1 |
| 1 | 0 | 1 | 0 | B | (A∨ \overline{B})+AB | (A∨ \overline{B})+AB+1 |
| 1 | 0 | 1 | 1 | AB | AB-1 | AB |
| 1 | 1 | 0 | 0 | 1 | A+A | A+A+1 |
| 1 | 1 | 0 | 1 | A∨ \overline{B} | (A∨B)+A | (A∨B)+A+1 |
| 1 | 1 | 1 | 0 | A∨B | (A∨ \overline{B})+A | (A∨B)+A+1 |
| 1 | 1 | 1 | 1 | A | A-1 | A |

Таблица 3.11

Оба типа операции могут встречаться одновременно. Например, запись $(A \vee \bar{B}) + AB$ означает, что вначале поразрядно выполняются операции инвертирования (\bar{B}), логического сложения ($A \vee \bar{B}$) и логического умножения (AB), а затем полученные указанным образом два четырехразрядных операнда складываются арифметически (с учетом переносов).

При обработке операндов большей разрядности АЛУ соединяются последовательно. В этом случае большое влияние на быстродействие устройства оказывает задержка распространения сигнала переноса, который может проходить от младшего разряда операнда по всей разрядной сетке. В схемах АЛУ стремятся обеспечить малое время задержки переноса (в одну — две элементарные задержки), однако при суммировании операндов с большой разрядностью время сложения может оказаться неприемлемо большим. В подобных случаях совместно с АЛУ применяют специальную ЦИС, называемую блоком ускоренного переноса, в которой перенос вырабатывается с помощью функций генерации и передачи переноса G и H . Широкие функциональные возможности АЛУ обеспечивают их широкое применение в устройствах цифровой обработки радиотехнических сигналов.

Функциональные узлы цифровой электроники.

Элементы ЗУ, Последовательные логические схемы

Триггеры и регистры являются простейшими представителями цифровых микросхем, имеющих внутреннюю память. Если выходные сигналы логических элементов и комбинационных микросхем однозначно определяются их текущими входными сигналами, то выходные сигналы микросхем с внутренней памятью зависят также еще и от того, какие входные сигналы и в какой последовательности поступали на них в прошлом, то есть они помнят предысторию поведения схемы. Именно поэтому их применение позволяет строить гораздо более сложные и интеллектуальные цифровые устройства, чем в случае простейших микросхем без памяти. Микросхемы с внутренней памятью называются еще *последовательными* или *последовательностными*, в отличие от комбинационных микросхем.

Триггеры и регистры сохраняют свою память только до тех пор, пока на них подается напряжение питания. Иначе говоря, их память относится к типу оперативной (в отличие от постоянной памяти и перепрограммируемой постоянной памяти, которым отключение питания не мешает сохранять информацию). После выключения питания и его последующего включения триггеры и регистры переходят в случайное состояние, то есть их выходные сигналы могут устанавливаться как в уровень логической единицы, так и в уровень логического нуля. Это необходимо учитывать при проектировании схем.

Большим преимуществом триггеров и регистров перед другими типами микросхем с памятью является их максимально высокое быстродействие (то есть минимальные времена задержек срабатывания и максимально высокая допустимая рабочая частота). Именно поэтому триггеры и регистры иногда называют также сверхоперативной памятью. Однако недостаток триггеров и регистров в том, что объем их внутренней памяти очень мал, они могут хранить только отдельные сигналы, биты (триггеры) или отдельные коды, байты, слова (регистры).

Триггер можно рассматривать как одноразрядную, а регистр — как многоразрядную ячейку памяти, которая состоит из несколько триггеров, соединенных параллельно (обычный, параллельный регистр) или последовательно (сдвиговый регистр или, что то же самое, регистр сдвига).

Триггеры

Принцип работы и разновидности триггеров

В основе любого триггера (англ. — "trigger" или "flip-flop") лежит схема из двух логических элементов, которые охвачены положительными обратными связями (то есть сигналы с выходов подаются на входы). В результате подобного включения схема может находиться в одном из двух

устойчивых состояний, причем находиться сколь угодно долго, пока на нее подано напряжение питания.

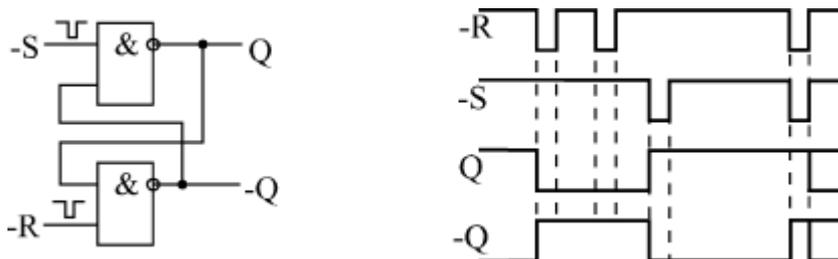


Рис. 7.1. Схема триггерной ячейки

Пример такой схемы (так называемой триггерной ячейки) на двух двухвходовых элементах И-НЕ представлен на рис. 7.1. У схемы есть два инверсных входа: $-R$ — сброс (от английского Reset), и $-S$ — установка (от английского Set), а также два выхода: прямой выход Q и инверсный выход \bar{Q} .

Для правильной работы схемы отрицательные импульсы должны поступать на ее входы не одновременно. Приход импульса на вход $-R$ переводит выход \bar{Q} в состояние единицы, а так как сигнал $-S$ при этом единичный, выход Q становится нулевым. Этот же сигнал Q поступает по цепи обратной связи на вход нижнего элемента. Поэтому даже после окончания импульса на входе $-R$ состояние схемы не изменяется (на Q остается нуль, на \bar{Q} остается единица). Точно так же при приходе импульса на вход $-S$ выход Q в единицу, а выход \bar{Q} — в нуль. Оба эти устойчивых состояния триггерной ячейки могут сохраняться сколь угодно долго, пока не придет очередной входной импульс, — иными словами, схема обладает памятью.

Если оба входных импульса придут строго одновременно, то в момент действия этих импульсов на обоих выходах будут единичные сигналы, а после окончания входных импульсов выходы случайным образом попадут в одно из двух устойчивых состояний. Точно так же случайным образом будет выбрано одно из двух устойчивых состояний триггерной ячейки при включении питания. Временная диаграмма работы триггерной ячейки показана на рисунке.

| Таблица 7.1. Таблица истинности триггерной ячейки | | | |
|---|------|---------------|-----------|
| Входы | | Выходы | |
| $-R$ | $-S$ | Q | \bar{Q} |
| 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | Без изменения | |
| 0 | 0 | Не определено | |

В стандартные серии цифровых микросхем входит несколько типов микросхем триггеров, различающихся методами управления, а также входными и выходными сигналами. На схемах триггеры обозначаются буквой Т. В отечественных сериях микросхем триггеры имеют наименование ТВ, ТМ и ТР в зависимости от типа триггера. Наиболее распространены три типа (рис. 7.2):

- RS-триггер (обозначается ТР) — самый простой триггер, но редко используемый (а).
- JK-триггер (обозначается ТВ) имеет самое сложное управление, также используется довольно редко (б).
- D-триггер (обозначается ТМ) — наиболее распространенный тип триггера (в).

Примером RS-триггера является микросхема ТР2, в одном корпусе которой находятся четыре RS-триггера. Два триггера имеют по одному входу $-R$ и $-S$, а два других триггера — по одному входу $-R$ и по два входа $-S1$ и $-S2$, объединенных по функции И. Все триггеры имеют только по одному прямому выходу. RS-триггер практически ничем не отличается по своим функциям от триггерной ячейки, рассмотренной ранее (см. рис. 7.1). Отрицательный импульс на входе $-R$ перебрасывает выход в нуль, а отрицательный импульс на входе $-S$ (или на любом из входов $-S1$ и $-S2$) перебрасывает выход в единицу. Одновременные сигналы на входах $-R$ и $-S$ переводят выход в единицу, а после окончания импульсов триггер попадает случайным образом в одно из своих устойчивых состояний. Таблица истинности триггера ТР2 с двумя входами установки $-S1$ и $-S2$ представлена в табл. 7.2.

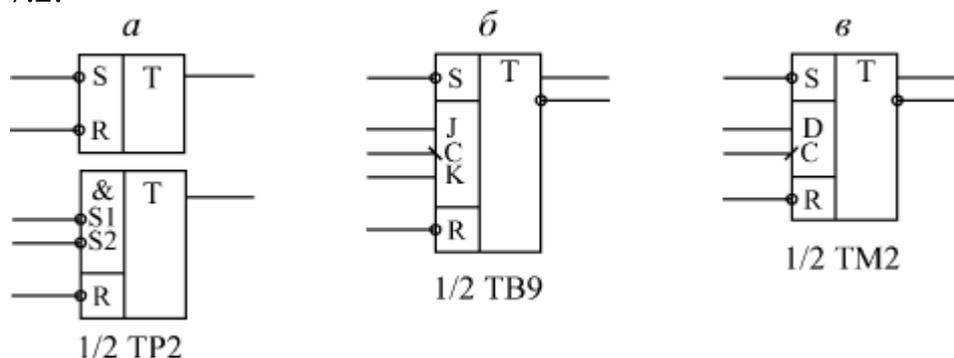


Рис. 7.2. Триггеры трех основных типов

| Таблица 7.2. Таблица истинности RS-триггера ТР2 | | | |
|---|----|--------|---------------|
| Входы | | Выходы | |
| -R | -S | Q | -Q |
| 1 | 1 | 1 | Без изменения |
| X | 0 | 1 | 1 |
| 0 | X | 1 | 1 |

| | | | |
|---|---|---|--------------|
| 1 | 1 | 0 | 0 |
| X | 0 | 0 | Не определен |
| 0 | X | 0 | Не определен |

JK-триггер значительно сложнее по своей структуре, чем RS-триггер. Он относится к так называемым тактируемым триггерам, то есть он срабатывает по фронту тактового сигнала. Примером может служить показанная на рис. 7.2 микросхема ТВ9, имеющая в одном корпусе два JK-триггера со входами сброса и установки -R и -S. Входы -R и -S работают точно так же, как и в RS-триггере, то есть отрицательный импульс на входе -R устанавливает прямой выход в нуль, а инверсный — в единицу, а отрицательный импульс на входе -S устанавливает прямой выход в единицу, а инверсный — в нуль.

Однако состояние триггера может быть изменено не только этими сигналами, но и сигналами на двух информационных входах J и K и синхросигналом C. Переключение триггера в этом случае происходит по отрицательному фронту сигнала C (по переходу из единицы в нуль) в зависимости от состояний сигналов J и K. При единице на входе J и нуле на входе K по фронту сигнала C прямой выход устанавливается в единицу (обратный — в нуль). При нуле на входе J и единице на входе K по фронту сигнала C прямой выход устанавливается в нуль (обратный — в единицу). При единичных уровнях на обоих входах J и K по фронту сигнала C триггер меняет состояние своих выходов на противоположные (это называется счетным режимом).

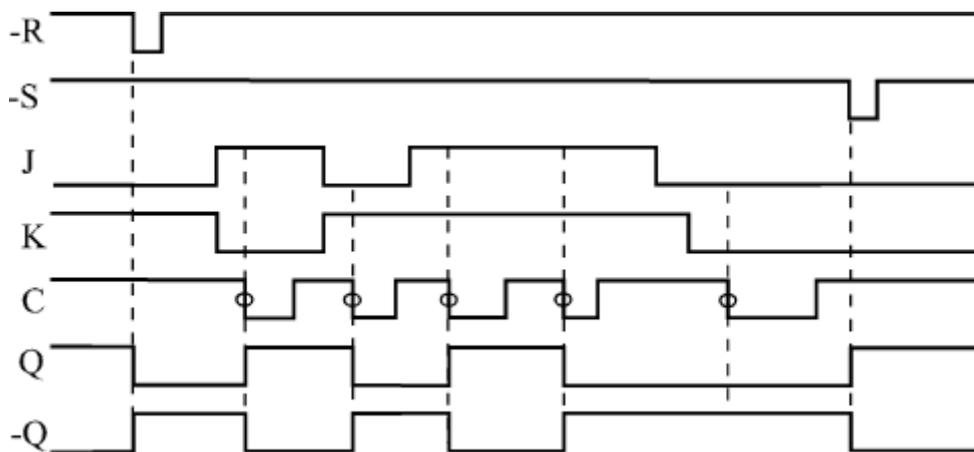


Рис. 7.3. Временная диаграмма работы JK-триггера ТВ9

Наконец, самый распространенный D-триггер занимает, можно сказать, промежуточное положение между RS-триггером и JK-триггером. Помимо общих для всех триггеров входов установки и сброса -S и -R, он имеет один информационный вход D (вход данных) и один тактовый вход C. Примером может служить показанная на рис. 7.2 микросхема ТМ2,

содержащая в одном корпусе два D-триггера с прямыми и инверсными выходами.

| Таблица 7.4. Таблица истинности D-триггера ТМ2 | | | | | |
|--|----|-------|---|---------------|----|
| Входы | | | | Выходы | |
| -S | -R | C | D | Q | -Q |
| 0 | 1 | X | X | 1 | 0 |
| 1 | 0 | X | X | 0 | 1 |
| 0 | 0 | X | X | Не определено | |
| 1 | 1 | 0 → 1 | 1 | 1 | 0 |
| 1 | 1 | 0 → 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | X | Не меняется | |
| 1 | 1 | 1 | X | Не меняется | |
| 1 | 1 | 1 → 0 | X | Не меняется | |

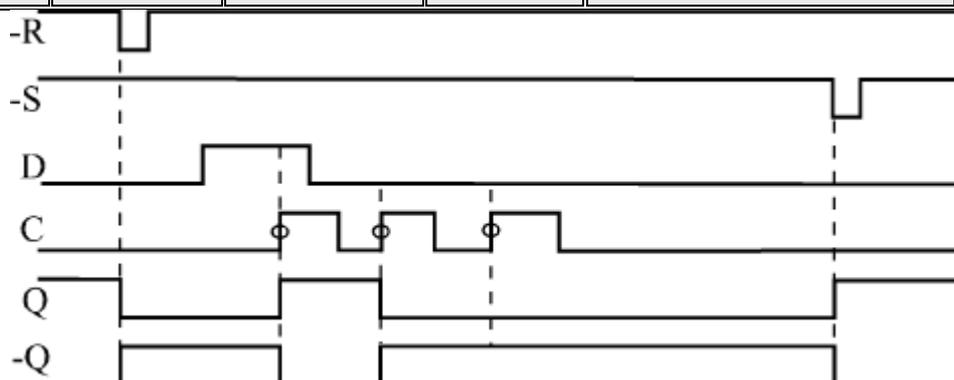


Рис. 7.4. Временная диаграмма работы D-триггера ТМ2

Тактируется триггер (то есть меняет свое состояние) по положительному фронту сигнала C (по его переходу из нуля в единицу) в зависимости от состояния входа данных D. Если на входе D единичный сигнал, то по фронту сигнала C прямой выход триггера устанавливается в единицу (инверсный — в нуль). Если же на входе D — нулевой сигнал, то по фронту сигнала C прямой выход триггера устанавливается в нуль (инверсный — в единицу).

Таблица истинности триггера ТМ2 представлена в табл. 7.4, а временная диаграмма работы — на рис. 7.7.

Остановимся на работе D-триггера чуть подробнее, так как он наиболее часто используется. При этом многие замечания, высказанные здесь относительно D-триггера, будут верны и для других типов триггеров.

Прежде всего, отметим, что все приведенные временные диаграммы относятся к первому уровню представления, к уровню логической модели. Конечно же, в реальности все триггеры имеют временные задержки установки выходных сигналов, а также предъявляют определенные

временные требования к входным сигналам, при нарушении которых любой триггер будет работать неустойчиво или же не будет работать вообще. Это учитывается на втором уровне представления (в модели с временными задержками).

Например, как уже отмечалось, входные сигналы $-R$ и $-S$ не должны приходиться одновременно, иначе состояние триггера будет неопределенным. Длительность сигналов $-R$ и $-S$ также не должна быть слишком малой, иначе триггер может на них не среагировать. Сигнал $-R$ должен начинаться с определенной задержкой после окончания сигнала $-S$, и наоборот. В первом приближении можно считать, что минимально допустимые временные интервалы между входными сигналами должны равняться 1–2 задержкам логического элемента соответствующей серии.

Точно так же не должна быть слишком малой длительность тактового сигнала C (как положительного, так и отрицательного импульса), иначе триггер может переключаться неустойчиво. Это требование универсально для всех микросхем, срабатывающих по фронту входного сигнала. Принципиально важна и величина временного сдвига (задержки) между установлением сигнала D и рабочим (положительным) фронтом сигнала C . Этот сдвиг тоже не должен быть слишком малым. Не должен быть чрезмерно малым и сдвиг между окончанием сигналов $-R$ и $-S$ и рабочим фронтом сигнала C . Повышенные требования предъявляются также к длительности фронта тактового сигнала C , которая не должна быть слишком большой. Это требование также универсально для всех микросхем, срабатывающих по фронту входного сигнала.

Одним словом, чем сложнее микросхема, тем важнее для нее становятся ограничения второго уровня представления, тем выше требования к разработчику по учету временных задержек и длительностей сигналов. Правда, требования эти не слишком разнообразны и не слишком жестки, поэтому, раз и навсегда усвоив их, можно проектировать любые схемы без грубых ошибок. Самое главное, что надо запомнить, состоит в следующем: цифровые схемы не любят слишком коротких входных сигналов и слишком малых задержек между входными сигналами, функционально связанными между собой. Ориентир здесь очень простой — величина задержки логического элемента данной серии. Поэтому для более быстрых серий ограничения будут менее жесткими, а для более медленных серий — более жесткими.

Несколько слов о величинах задержек микросхем триггеров.

Несмотря на свою достаточно сложную внутреннюю структуру, микросхемы триггеров являются одними из самых быстрых. Задержка срабатывания триггера обычно не превышает 1,5–2 задержки логического элемента (причем задержки по входам $-R$ и $-S$ чуть меньше, чем по тактовому входу C .) В некоторых сериях JK-триггеры несколько быстрее, чем D-триггеры, в других — наоборот. Важный параметр триггера — максимальная частота тактового сигнала C . Для ее приблизительной оценки можно придерживаться следующего простого правила: период тактового

сигнала С не должен быть меньше величины задержки переключения триггера по входу С.

Функциональные узлы цифровой электроники.

Регистры.

Регистры (англ. register) представляют собой, по сути, несколько D-триггеров (обычно от 4 до 16), соединенных между собой тем или иным способом. Поэтому принципиальной разницы между ними и отдельными D-триггерами не существует. Правда, триггеры, входящие в состав регистров, не имеют такого количества разнообразных управляющих входов, как одиночные триггеры.

На схемах регистры обозначаются буквами RG. В отечественных сериях микросхем регистрам соответствуют буквы ИР. Все регистры делятся на две большие группы (рис. 8.1):

- Параллельные регистры;
- Регистры сдвига (или сдвиговые регистры).

Существуют регистры и других типов, но они применяются гораздо реже, чем параллельные и сдвиговые, так как имеют узкоспециальное назначение.

В параллельных регистрах (а) каждый из триггеров имеет свой независимый информационный вход (D) и свой независимый информационный выход. Тактовые входы (C) всех триггеров соединены между собой. В результате параллельный регистр представляет собой многоразрядный, многовходовый триггер.

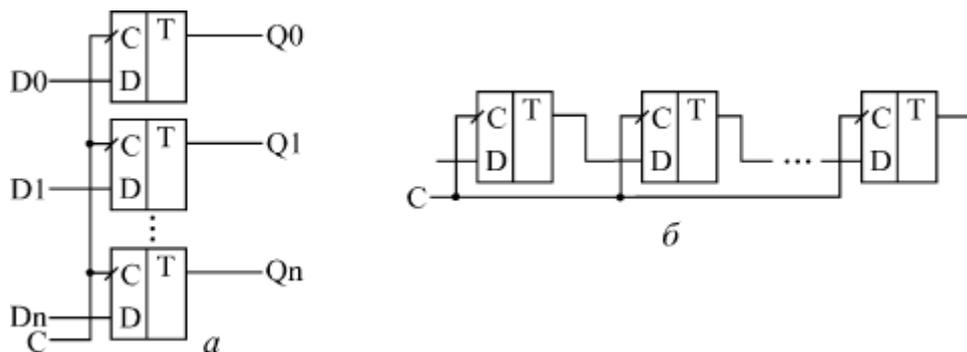


Рис. 8.1. Структура параллельного регистра (а) и сдвигового регистра (б)

В сдвиговых регистрах (б) все триггеры соединены в последовательную цепочку (выход каждого предыдущего триггера соединен со входом D следующего триггера). Тактовые входы всех триггеров (C) объединены между собой. В результате такой триггер может рассматриваться как линия задержки, входной сигнал которой последовательно перезаписывается из триггера в триггер по фронту тактового сигнала C.

Информационные входы и выходы триггеров могут быть выведены наружу, а могут и не выводиться - в зависимости от функции, выполняемой регистром.

Параллельные регистры, в свою очередь, делятся на две группы:

- Регистры, срабатывающие по фронту управляющего сигнала С (или тактируемые регистры).
- Регистры, срабатывающие по уровню управляющего сигнала С (или стробируемые регистры).

Чаще всего в цифровых схемах используются регистры, управляемые фронтом (то есть тактируемые), однако и стробируемые регистры имеют свой круг задач, в которых их ничто не может заменить.

Регистры, срабатывающие по фронту

Принцип действия регистров, срабатывающих по фронту тактового сигнала, ничем не отличается от принципа действия D-триггера. По положительному фронту тактового сигнала С каждый из выходов регистра устанавливается в тот уровень, который был в этот момент на соответствующем данному выходу входе D, и сохраняется таковым до прихода следующего положительного фронта сигнала С. То есть если триггер запоминает один сигнал (один двоичный разряд, один бит), то регистр запоминает сразу несколько (4, 6, 8, 16) сигналов (несколько разрядов, битов). Память регистра сохраняется до момента выключения питания схемы.

В стандартные серии входит несколько типов параллельных регистров, срабатывающих по фронту. Различаются они количеством разрядов, наличием или отсутствием инверсных выходов, наличием или отсутствием входа сброса (\bar{R}) или разрешения записи (\bar{WE}), а также типом выходных каскадов (2С или 3С) и, соответственно, наличием или отсутствием входа разрешения \bar{EZ} . Иногда на схемах тактовый вход С обозначается WR - сигнал записи в регистр.

Большинство регистров имеют восемь разрядов, то есть запоминают один байт информации. Регистр ТМ8 в справочниках обычно называется счетверенным D-триггером (он и в наименовании несет буквы ТМ), хотя он вполне может рассматриваться и как регистр, так как тактовый вход С и вход сброса \bar{R} у всех четырех триггеров объединены между собой.

Таблицы истинности регистров очень просты и не отличаются принципиально от таблицы истинности D-триггеров. Отличие от триггеров появляется только в случае наличия у регистра дополнительных управляющих входов разрешения записи \bar{WE} и разрешения выхода \bar{EZ} . В качестве примеров в табл. 8.1 приведена таблица истинности регистра ИР27, а в табл. 8.2 - регистра ИР37. По переходу тактового сигнала С из 0 в 1 (положительный фронт) оба регистра записывают в себя входную информацию.

| Таблица 8.1. Таблица истинности регистра ИР27 | | | |
|---|-----|---|-------------|
| Входы | | | Выходы |
| -WE | C | D | Q |
| 0 | 0→1 | 0 | 0 |
| 0 | 0→1 | 1 | 1 |
| 0 | 0 | X | Не меняется |
| 0 | 1 | X | Не меняется |
| 1 | X | X | Не меняется |

| Таблица 8.2. Таблица истинности регистра ИР37 | | | |
|---|-----|---|-------------|
| Входы | | | Выходы |
| -EZ | C | D | Q |
| 0 | 0→1 | 0 | 0 |
| 0 | 0→1 | 1 | 1 |
| 0 | 0 | X | Не меняется |
| 0 | 1 | X | Не меняется |
| 1 | X | X | Z |

Все регистры, имеющие выход с тремя состояниями, обеспечивают повышенную нагрузочную способность. Задержка переключения регистров примерно соответствует задержке переключения триггеров. Все временные ограничения, накладываемые на входные сигналы в случае триггеров, справедливы и для входных сигналов регистров. Например, не должна быть слишком малой длительность сигнала C, а также не должна быть слишком малой задержка между установлением сигнала D и приходом положительного фронта сигнала C. Иначе работа регистра может быть нестабильной или даже неправильной.

Одно из основных применений регистров состоит в хранении требуемого кода в течение нужного времени. Если для работы остальной части схемы необходимо иметь входной код, который можно легко изменять, то для этого как раз подходит регистр.

Регистры, срабатывающие по уровню

Параллельные регистры, срабатывающие по уровню стробирующего сигнала (или, как их еще называют, регистры-защелки, английское "Latch"), можно рассматривать как некий гибрид между буфером и регистром. Когда сигнал на стробирующем входе - единичный, такой регистр пропускает через

себя входные информационные сигналы, а когда стробирующий сигнал становится равен нулю, регистр переходит в режим хранения последнего из пропущенных значений входных сигналов.

Применение таких регистров сильно ограничено, хотя иногда они довольно удобны. В некоторых схемах они могут успешно заменять регистры, срабатывающие по фронту, а в других схемах их применение вместо регистров, срабатывающих по фронту, недопустимо.

В стандартных сериях регистры, срабатывающие по уровню, представлены гораздо меньше, чем регистры, срабатывающие по фронту. На рис. 8.10 показаны в качестве примеров две микросхемы 4-разрядного регистра ТМ7 и 8-разрядного регистра ИР22. Стробирующие входы С нередко на схемах обозначают Е (от английского "Enable" - "разрешение"), для того чтобы не путать их с тактовыми входами D-триггеров.

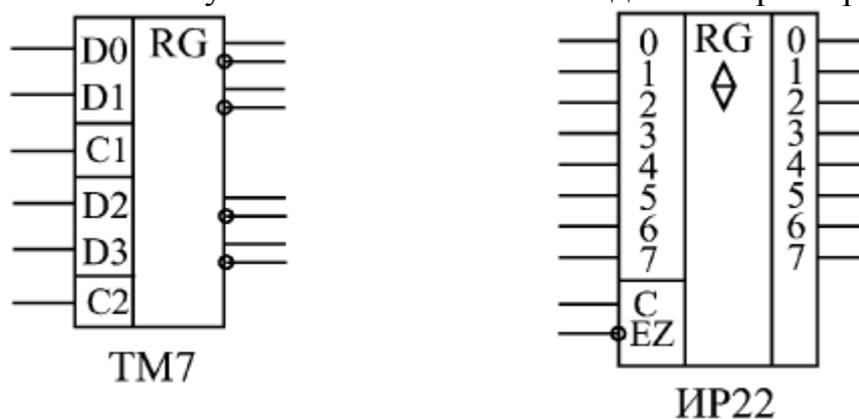


Рис. 8.10. Регистры, срабатывающие по уровню

Микросхему ТМ7 (и близкую к ней ТМ5) часто называют набором триггеров, но ее можно рассматривать и как регистр. Микросхема состоит из четырех триггеров, стробирующие входы которых С соединены попарно, то есть можно говорить о двух двухразрядных регистрах-защелках. Входы С1 и С2 микросхемы управляют каждый двумя разрядами данных. Все триггеры имеют как прямые, так и инверсные выходы, что иногда очень удобно. Таблица истинности микросхемы ТМ7 приведена в табл. 8.3.

При единице на входе С выходные сигналы повторяют входные, то есть регистр работает как обычный буфер с прямыми и инверсными выходами. При нуле на входе С на выходе регистра постоянно хранится та входная информация, которая была в момент прихода отрицательного фронта сигнала С. Однако говорить, что регистр ТМ7 срабатывает по отрицательному фронту сигнала С, неверно, так как информация на выходе меняется не только по этому фронту, но и в момент изменения входных сигналов при $C = 1$.

| Таблица 8.3. Таблица истинности регистра ТМ7 | | | |
|--|---|-------------|----|
| Входы | | Выходы | |
| D | C | Q | -Q |
| 0 | 1 | 0 | 1 |
| 1 | 1 | 1 | 0 |
| 0 | 0 | Не меняется | |
| 1 | 0 | Не меняется | |

Регистр ИР22 отличается от ТМ7 тем, что имеет выходы с тремя состояниями (и соответственно, вход разрешения всех выходов $-EZ$) и тем, что всеми восемью разрядами управляет один стробирующий сигнал С. Суть работы от этого не изменяется. При единице на входе С регистр работает как буфер-повторитель, а при нуле на входе С - хранит ту информацию, которая была на входе в момент отрицательного фронта сигнала С. Выходы у регистра ИР22 - только прямые. Как и все регистры с тремя состояниями выхода, ИР22 имеет повышенную нагрузочную способность. В табл. 8.4 приведена таблица истинности регистра ИР22.

| Таблица 8.4. Таблица истинности регистра ИР22 | | | |
|---|---|---|-------------|
| Входы | | | Выход |
| $-EZ$ | C | D | Q |
| 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 |
| 0 | 0 | X | Не меняется |
| 1 | X | X | Z |

Величины задержек триггеров, срабатывающих по уровню, в 1,5–2 раза превышают задержки D-триггеров. Для правильной работы микросхем положительный импульс на входе С не должен быть слишком коротким, а задержка между изменением информации на входе D и отрицательным фронтом сигнала С не должна быть слишком малой. Информация на входе D не должна слишком быстро сниматься после отрицательного фронта сигнала С.

Основное применение регистра, срабатывающего по уровню стробирующего сигнала, состоит в запоминании на какое-то заданное время входного кода, причем в остальное время выходной код регистра должен повторять входной (рис. 8.11). Стробирующий сигнал С в этом случае должен быть отрицательным на все время запоминания, и запоминаться будет входной код регистра в момент отрицательного (переднего) фронта

сигнала С. Подобная функция бывает, например, необходима при построении устройств сопряжения для компьютеров. Регистр, по сути, продлевает во времени необходимое значение входного кода, в остальное время работая как повторитель.



Рис. 8.11. Продление длительности входного кода с помощью регистра-защелки

В ряде случаев регистры данного типа могут успешно заменять регистры, срабатывающие по фронту. Например, такая замена возможна в случае необходимости запоминания входного кода по сигналу С до момента прихода следующего сигнала С.

Сдвиговые регистры

Регистры сдвига или сдвиговые регистры (англ. shift register) представляют собой, как уже отмечалось, последовательно соединенную цепочку триггеров. Основной режим их работы - это сдвиг разрядов кода, записанного в эти триггеры. То есть по тактовому сигналу содержимое каждого предыдущего триггера переписывается в следующий по порядку в цепочке триггер. Код, хранящийся в регистре, с каждым тактом сдвигается на один разряд в сторону старших разрядов или в сторону младших разрядов, что и дало название регистрам данного типа.

В связи с названием направления сдвига в сдвиговых регистрах часто возникает путаница. Сдвиг бывает двух видов: вправо (основной режим, который есть у всех сдвиговых регистров) и влево (этот режим есть только у некоторых, реверсивных сдвиговых регистров). Названия эти отражают внутреннюю структуру регистров сдвига (рис. 8.14) и перезапись сигналов последовательно по цепочке триггеров. При этом триггеры, вполне естественно, нумеруются слева направо, например, от 0 до 7 (или от 1 до 8) для 8-разрядных регистров. В результате сдвиг информации регистром вправо представляет собой сдвиг в сторону разрядов, имеющих большие номера, а сдвиг информации регистром влево - это сдвиг в сторону разрядов, имеющих меньшие номера.

Однако, как известно, в любом двоичном числе слева расположены старшие разряды, а справа - младшие разряды. Поэтому сдвиг двоичного числа вправо будет сдвигом в сторону младших разрядов, а сдвиг влево -

сдвигом в сторону старших разрядов. Это противоречие, не чей-то злой умысел, просто так исторически сложилось, и об этом надо помнить разработчику цифровой аппаратуры.

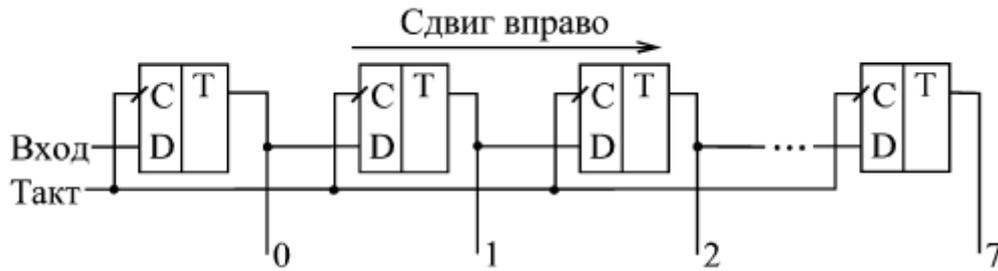


Рис. 8.14. Направление сдвига в сдвиговых регистрах

В стандартные серии цифровых микросхем входит несколько типов сдвиговых регистров, отличающихся возможными режимами работы, режимами записи, чтения и сдвига, а также типом выходных каскадов (2С или 3С). Большинство регистров сдвига имеет восемь разрядов. На рис. 8.15 представлены для примера четыре типа микросхем регистров сдвига.

Регистр ИР8 - наиболее простой из регистров сдвига. Он представляет собой 8-разрядную линию задержки, то есть имеет только один информационный вход, на который подается последовательная сдвигаемая информация (точнее, два входа, объединенных по функции 2И), и восемь параллельных выходов. Сдвиг в сторону выходов со старшими номерами осуществляется по переднему фронту тактового сигнала С. Имеется также вход сброса \bar{R} , по нулевому сигналу на котором все выходы регистра сбрасываются в нуль. Таблица истинности регистра ИР8 приведена в табл. 8.5.

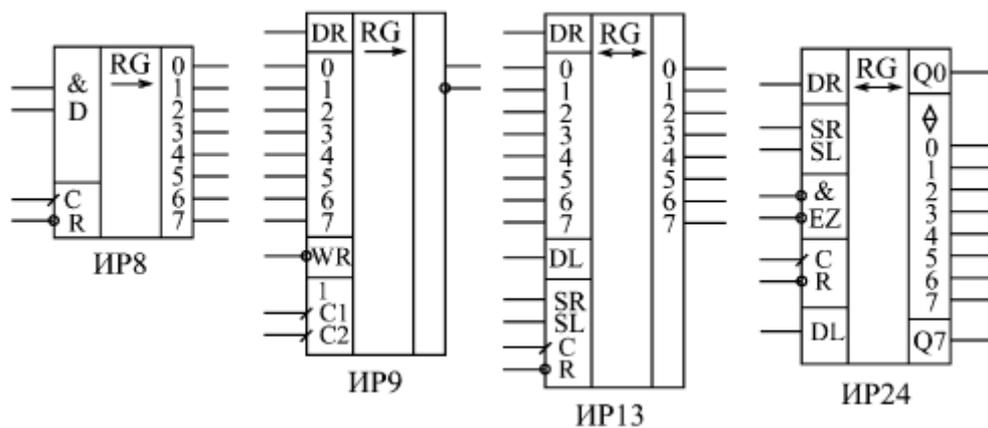


Рис. 8.15. Сдвиговые регистры

| Входы | | | | Выходы | | | |
|-------|-----|----|----|-------------|----|-----|----|
| -R | C | D1 | D2 | Q0 | Q1 | ... | Q7 |
| 0 | X | X | X | 0 | 0 | ... | 0 |
| 1 | 0 | X | X | Не меняются | | | |
| 1 | 1 | X | X | Не меняются | | | |
| 1 | 0→1 | 1 | 1 | 1 | Q0 | ... | Q6 |
| 1 | 0→1 | 0 | X | 0 | Q0 | ... | Q6 |
| 1 | 0→1 | X | 0 | 0 | Q0 | ... | Q6 |

Регистр IP9 выполняет функцию, обратную регистру IP8. Если IP8 преобразует входную последовательную информацию в выходную параллельную, то регистр IP9 преобразует входную параллельную информацию в выходную последовательную. Однако суть сдвига не меняется, просто в IP9 все внутренние триггеры имеют выведенные параллельные входы, и только один, последний триггер имеет выход (причем как прямой, так и инверсный). Запись входного кода в регистр производится по нулевому сигналу на входе -WR. Сдвиг осуществляется по положительному фронту на одном из двух тактовых входов C1 и C2, объединенных по функции 2ИЛИ. Имеется также вход расширения DR, сигнал с которого в режиме сдвига перезаписывается в младший разряд сдвигового регистра. Таблица истинности регистра IP9 приведена в табл. 8.6.

| Входы | | | Функция |
|-------|-----|-----|---------------------|
| -WR | C1 | C2 | |
| 0 | X | X | Параллельная запись |
| 1 | 1 | X | Хранение |
| 1 | X | 1 | Хранение |
| 1 | 0 | 0→1 | Сдвиг |
| 1 | 0→1 | 0 | Сдвиг |

Функциональные узлы цифровой электроники.

Асинхронные и синхронно-асинхронные счетчики

Счетчики представляют собой более высокий, чем регистры, уровень сложности цифровых микросхем, имеющих внутреннюю память. Хотя в основе любого счетчика лежат те же самые триггеры, которые образуют и регистры, но в счетчиках триггеры соединены более сложными связями, в результате чего их функции - сложнее, и на их основе можно строить более сложные устройства, чем на регистрах. Точно так же, как и в случае регистров, внутренняя память счетчиков - оперативная, то есть ее содержимое сохраняется только до тех пор, пока включено питание схемы. С выключением питания память стирается, а при новом включении питания схемы содержимое памяти будет произвольным, случайным, зависящим только от конкретной микросхемы, то есть выходные сигналы счетчиков будут произвольными.

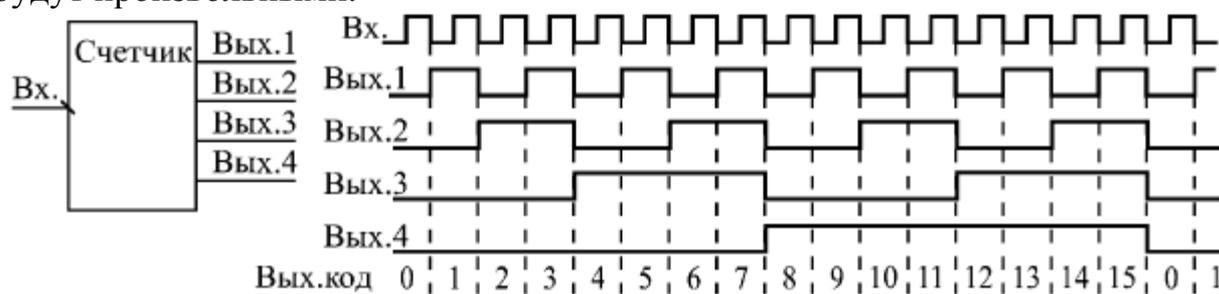


Рис. 9.1. Работа 4-разрядного двоичного счетчика

Как следует из самого названия, счетчики предназначены для счета входных импульсов. То есть с приходом каждого нового входного импульса двоичный код на выходе счетчика увеличивается (или уменьшается) на единицу (рис. 9.1). Срабатывать счетчик может по отрицательному фронту входного (тактового) сигнала (как на рисунке) или по положительному фронту. Режим счета обеспечивается использованием внутренних триггеров, работающих в счетном режиме. Выходы счетчика представляют собой как раз выходы этих триггеров. Каждый выход счетчика представляет собой разряд двоичного кода, причем разряд, переключающийся чаще других (по каждому входному импульсу), будет младшим, а разряд, переключающийся реже других, - старшим.

Счетчик может работать на увеличение выходного кода по каждому входному импульсу; это основной режим, имеющийся во всех счетчиках, он называется режимом прямого счета. Счетчик может также работать на уменьшение выходного кода по каждому входному импульсу; это режим обратного или инверсного счета, предусмотренный в счетчиках, называемых реверсивными. *Инверсный счет* бывает довольно удобен в схемах, где необходимо отсчитывать заданное количество входных импульсов.

Большинство счетчиков работают в обычном двоичном коде, то есть считают от 0 до $(2^N - 1)$, где N - число разрядов выходного кода счетчика. Например, 4-разрядный счетчик в режиме прямого счета будет считать от 0 (код 0000) до 15 (код 1111), а 8-разрядный - от 0 (код 0000 0000) до 255 (код 1111 1111). После максимального значения кода счетчик по следующему входному импульсу переключается опять в 0, то есть работает по кругу. Если же счет - инверсный, то счетчик считает до нуля, а дальше переходит к максимальному коду 111...1.

Имеются также двоично-десятичные счетчики, предельный код на выходе которых не превышает максимального двоично-десятичного числа, возможного при данном количестве разрядов. Например, 4-разрядный двоично-десятичный счетчик в режиме прямого счета будет считать от 0 (код 0000) до 9 (код 1001), а затем снова от 0 до 9. А 8-разрядный двоично-десятичный счетчик будет считать от 0 (код 0000 0000) до 99 (код 1001 1001). При инверсном счете двоично-десятичные счетчики считают до нуля, а со следующим входным импульсом переходят к максимально возможному двоично-десятичному числу (то есть 9 - для 4-разрядного счетчика, 99 - для 8-разрядного счетчика). Двоично-десятичные счетчики удобны, например, при организации десятичной индикации их выходного кода. Применяются они гораздо реже обычных двоичных счетчиков.

По быстрдействию все счетчики делятся на три большие группы:

- Асинхронные счетчики (или последовательные).
- Синхронные счетчики с асинхронным переносом (или параллельные счетчики с последовательным переносом, синхронно-асинхронные счетчики).
- Синхронные счетчики (или параллельные).

Принципиальные различия между этими группами проявляются только на втором уровне представления, на уровне модели с временными задержками. Причем больше всего различия эти проявляются при каскадировании счетчиков. Наибольшим быстрдействием обладают синхронные счетчики, наименьшим - асинхронные счетчики, наиболее просто управляемые среди других. Каждая группа счетчиков имеет свои области применения, на которых мы и остановимся.

Асинхронные счетчики

Асинхронные счетчики строятся из простой цепочки JK-триггеров, каждый из которых работает в счетном режиме. Выходной сигнал каждого триггера служит входным сигналом для следующего триггера. Поэтому все разряды (выходы) асинхронного счетчика переключаются последовательно (отсюда название - последовательные счетчики), один за другим, начиная с младшего и кончая старшим. Каждый следующий разряд переключается с задержкой относительно предыдущего (рис. 9.2), то есть, вообще говоря, асинхронно, не одновременно с входным сигналом и с другими разрядами.

Чем больше разрядов имеет счетчик, тем большее время ему требуется на полное переключение всех разрядов. Задержка переключения

каждого разряда примерно равна задержке триггера, а полная задержка установления кода на выходе счетчика равна задержке одного разряда, умноженной на число разрядов счетчика. Легко заметить, что при периоде входного сигнала, меньшем полной задержки установления кода счетчика, правильный код на выходе счетчика просто не успеет установиться, поэтому такая ситуация не имеет смысла. Это накладывает жесткие ограничения на период (частоту) входного сигнала, причем увеличение, к примеру, вдвое количества разрядов счетчика автоматически уменьшает вдвое предельно допустимую частоту входного сигнала.

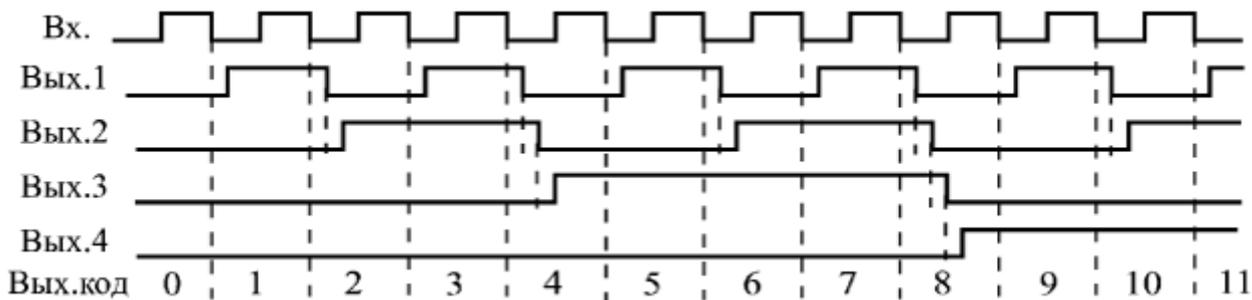


Рис. 9.2. Временная диаграмма работы 4-разрядного асинхронного счетчика

Таким образом, если нам нужен выходной код асинхронного счетчика, то есть все его выходные сигналы (разряды) одновременно, то должно выполняться следующее неравенство: $T > Nt_3$, где T - период входного сигнала, N - число разрядов счетчика, t_3 - время задержки одного разряда.

Надо еще учесть, что за период входного сигнала должно успеть сработать устройство (узел), на которое поступает выходной код счетчика, иначе счетчик просто не нужен; поэтому ограничение на частоту входного сигнала обычно бывает еще жестче.

В составе стандартных серий цифровых микросхем асинхронных счетчиков немного. Для примера на рис. 9.3 приведены три из них: 4-х разрядный двоично-десятичный счетчик ИЕ2, 4-х разрядный двоичный счетчик ИЕ5 и 8-и разрядный двоичный счетчик ИЕ19 (он же сдвоенный четырехразрядный счетчик).

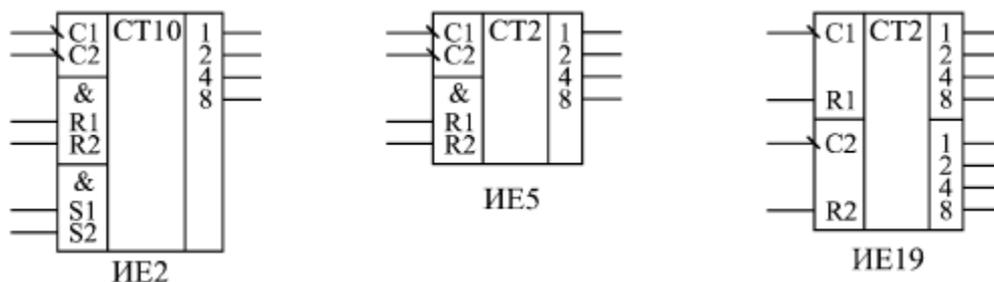


Рис. 9.3. Асинхронные счетчики стандартных серий

У всех этих счетчиков управление работой очень простое, есть всего лишь входы сброса в нуль или входы установки в 9 (только у ИЕ2). Все асинхронные счетчики работают по отрицательному фронту входного сигнала С (или, что то же самое, по заднему фронту положительного входного сигнала). У всех трех счетчиков выделены две независимые части, что увеличивает возможности их применения. При объединении этих двух частей получается счетчик максимальной разрядности. Выходы счетчиков обозначают на схемах 0, 1, 2, 3, ... (как номера разрядов выходного двоичного кода) или 1, 2, 4, 8, ... (как веса каждого разряда двоичного кода).

Счетчик ИЕ2 имеет две части: один триггер (вход С1, выход 1) и три триггера (вход С2 и выходы 2, 4, 8). Таким образом, он состоит из одноразрядного счетчика и трехразрядного счетчика. Одиночный триггер работает в обычном счетном режиме, изменяя свое состояние по каждому отрицательному фронту сигнала С1, то есть делит частоту входного сигнала на 2. Три оставшихся триггера включены таким образом, чтобы считать до 5, то есть делить входную частоту сигнала С2 на 9. После достижения кода 4 (то есть 100) на выходах 2, 4 и 8 этот трехразрядный счетчик по следующему отрицательному фронту сигнала С2 сбрасывается в нуль. В результате при объединении выхода 1 микросхемы со входом С2 мы получаем 4-разрядный двоично-десятичный счетчик, делящий частоту входного сигнала С1 на 10 и сбрасывающийся в нуль после достижения на выходах 1, 2, 4, 8 кода 9 (то есть 1001) по отрицательному фронту сигнала С1.

| Входы | | | | | Выходы | | | |
|-------|----|----|----|----|--------|---|---|---|
| С1 | R1 | R2 | S1 | S2 | 8 | 4 | 2 | 1 |
| X | 1 | 1 | 0 | X | 0 | 0 | 0 | 0 |
| X | 1 | 1 | X | 0 | 0 | 0 | 0 | 0 |
| X | X | X | 1 | 1 | 1 | 0 | 0 | 1 |
| 1→0 | X | 0 | X | 0 | Счет | | | |
| 1→0 | 0 | X | 0 | X | Счет | | | |
| 1→0 | 0 | X | X | 0 | Счет | | | |
| 1→0 | X | 0 | 0 | X | Счет | | | |

Счетчик ИЕ2 имеет два входа асинхронного сброса в нуль R1 и R2, объединенных по функции И, и два входа установки в 9 - S1 и S2, также

объединенных по функции И, причем установка в 9 блокирует установку в нуль. Наличие этих входов сброса и установки позволяет строить на базе счетчика ИЕ2 делители частоты с разными коэффициентами деления. Правда, этот счетчик используется довольно редко, значительно реже, чем другие асинхронные счетчики ИЕ5 и ИЕ19.

Таблица истинности асинхронного счетчика ИЕ2 при соединенном выходе 1 и входе С2 (при 4-разрядном выходном коде) приведена в табл. 9.1, а состояния выходов при счете входных импульсов по тактам представлены в табл. 9.2.

Таблица 9.2. Состояния выходов счетчика ИЕ2 при счете входных импульсов

| Такт | Вых.8 | Вых.4 | Вых.2 | Вых.1 |
|------|-------|-------|-------|-------|
| 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 2 | 0 | 0 | 1 | 0 |
| 3 | 0 | 0 | 1 | 1 |
| 4 | 0 | 1 | 0 | 0 |
| 5 | 0 | 1 | 0 | 1 |
| 6 | 0 | 1 | 1 | 0 |
| 7 | 0 | 1 | 1 | 1 |
| 8 | 1 | 0 | 0 | 0 |
| 9 | 1 | 0 | 0 | 1 |
| 10 | 0 | 0 | 0 | 0 |

Счетчик ИЕ5, точно так же как и ИЕ2, имеет две части: один триггер (одноразрядный счетчик) со входом С1 и выходом 1 и три триггера (трехразрядный счетчик) со входом С2 и выходами 2, 4, 8. Оба счетчика - двоичные, то есть первый считает до двух, а второй - до 8. При объединении входа С2 с выходом 1 получается 4-разрядный двоичный счетчик, считающий до 16. Счет производится по отрицательному фронту входных сигналов С1 и С2. Предусмотрена возможность сброса счетчика в нуль по сигналам R1 и R2, объединенным по функции И.

Таблица 9.3. Таблица истинности счетчика ИЕ5

| Выходы | | | Выходы | | | |
|--------|----|----|--------|---|---|---|
| С1 | R1 | R2 | 8 | 4 | 2 | 1 |
| X | 1 | 1 | 0 | 0 | 0 | 0 |
| 1→0 | 0 | X | Счет | | | |
| 1→0 | X | 0 | Счет | | | |

Таблица истинности счетчика ИЕ5 при соединении входа С2 и выхода 1 (при 4-разрядном выходном коде) приведена в табл. 9.3.

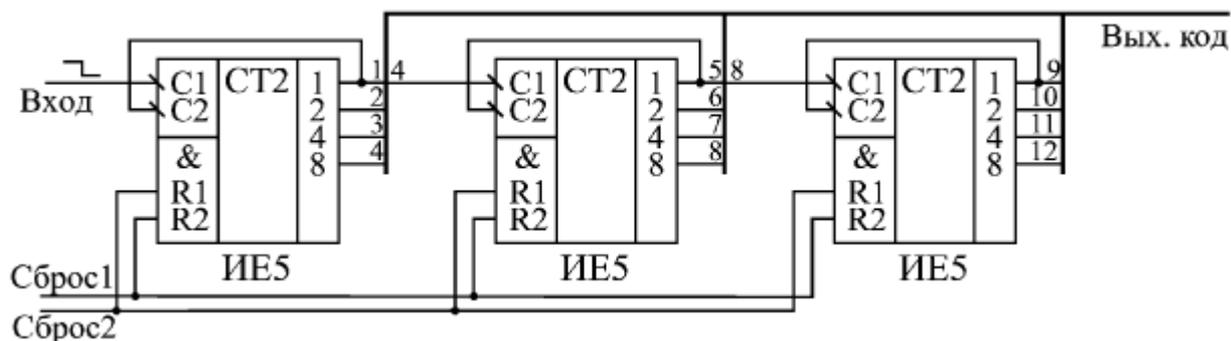


Рис. 9.4. Объединение трех счетчиков ИЕ5 для увеличения разрядности

Объединять счетчики ИЕ5 для увеличения разрядности (каскадировать) очень просто: нужно выход 8 предыдущего счетчика (выдающего более младшие разряды) соединить со входом С1 следующего счетчика (выдающего более старшие разряды). На рис. 9.4 показано соединение трех счетчиков ИЕ5 для получения 12-разрядного асинхронного счетчика со сбросом в нуль. Точно так же можно объединять и счетчики ИЕ2, добавляя при этом входы общей установки счетчика в код 99...9. Однако при объединении надо помнить, что добавление каждого нового разряда увеличивает общую задержку переключения полученного счетчика. Многоразрядный асинхронный счетчик может получиться неприемлемо медленным.

Счетчик ИЕ19 можно считать сдвоенным вариантом счетчика ИЕ9. Он включает в себя два идентичных независимых друг от друга 4-разрядных асинхронных счетчика, каждый из которых имеет свой *счетный вход* С и свой вход сброса R. Считают оба счетчика, входящие в микросхему, по отрицательному фронту на своих входах С1 и С2. Сбрасываются они единичными сигналами на своих входах сброса R1 и R2.

Счетчики, входящие в ИЕ19, можно использовать самостоятельно, но можно и объединить их для получения 8-разрядного асинхронного счетчика с выходами 1, 2, 4, 8, 16, 32, 64, 128. Для такого объединения достаточно соединить выход 8 первого счетчика со счетным входом С2 второго счетчика. Если соединить два ИЕ19 (рис. 9.5), то получится уже 16-разрядный асинхронный двоичный счетчик. При этом выход 8 второго счетчика соединяется со счетным входом С1 первого счетчика. Однако и в данном случае каждый следующий разряд переключается с задержкой после переключения предыдущего.

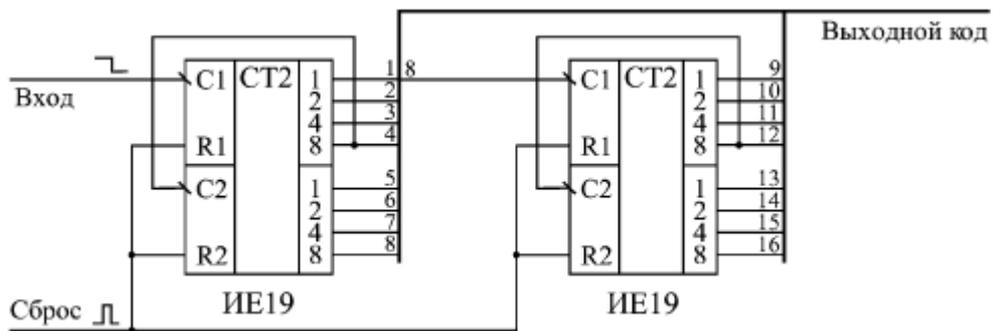


Рис. 9.5. Объединение двух счетчиков ИЕ19 для увеличения разрядности

Основное применение асинхронных счетчиков состоит в построении всевозможных делителей частоты, то есть устройств, выдающих выходной сигнал с частотой, в несколько раз меньшей, чем частота входного сигнала. В данном случае нас интересует не выходной код счетчика, то есть не все его разряды одновременно, а только один разряд, поэтому взаимные задержки отдельных разрядов не играют роли, полная задержка переключения счетчика не имеет значения. Простейший пример делителя частоты на два - это триггер в счетном режиме или счетчик, выходным сигналом которого является выход первого, младшего разряда 1.

При построении делителей частоты иногда важна не только частота выходного сигнала, но и его форма, его скважность, то есть отношение периода следования импульсов к длительности этих импульсов. В таких случаях чаще всего требуется *меандр* - цифровой сигнал со скважностью, равной двум (длительность импульсов равна длительности паузы между ними). Получить меандр из любого сигнала довольно просто: надо использовать дополнительный *делитель частоты* на 2, правда, при этом частота выходного сигнала уменьшится еще вдвое.

Простейший пример такого делителя частоты на десять приведен на рис. 9.6. В делителе использован счетчик ИЕ2, у которого одноразрядный внутренний счетчик включен после трехразрядного внутреннего счетчика. Трехразрядный счетчик делит частоту входного сигнала на 5, но выходные импульсы имеют скважность, не равную двум (она равна 5). Одноразрядный счетчик делит частоту еще вдвое и одновременно формирует *меандр*. Задержки переключения разрядов счетчика относительно друг друга на рисунке не показаны (применяем первый уровень представления, логическую модель).

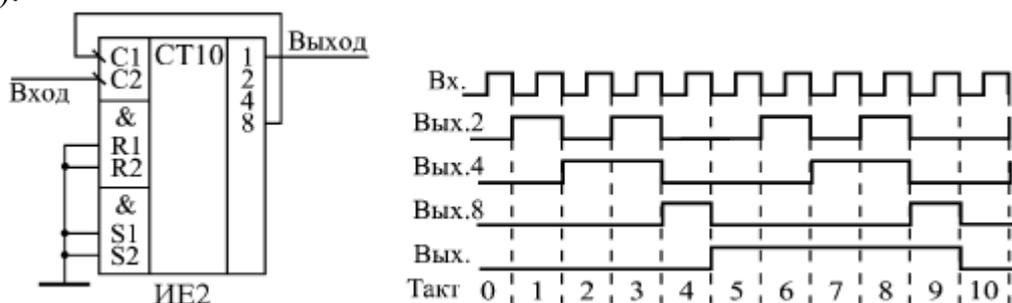


Рис. 9.6. Делитель частоты на 10, выдающий меандр

Иногда возникает задача деления частоты входного сигнала в произвольное число раз (не в 10 и не в 2^n , что легко обеспечивается самой структурой стандартных счетчиков). В этом случае можно организовать сброс счетчика при достижении им требуемого кода путем введения обратных связей.

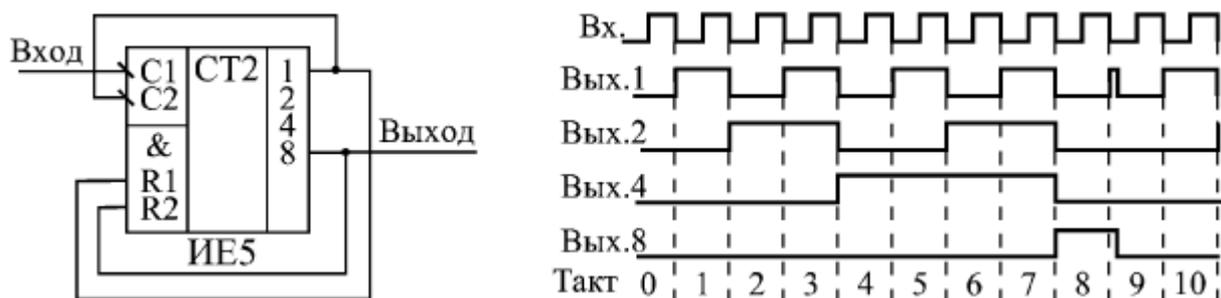


Рис. 9.7. Делитель частоты на 9 с обратными связями

Например, на рис. 9.7 показан простейший *делитель частоты* на 9 на основе счетчика ИЕ9. При достижении его выходным кодом значения 9 (то есть 1001) счетчик автоматически сбрасывается в нуль по входам R1 и R2, и счет начинается снова. В результате частота выходного сигнала в 9 раз меньше частоты входного сигнала. При этом скважность выходного сигнала не равна двум. Временная диаграмма показана на рисунке для первого уровня представления (без учета временных задержек).

Если в числе, на которое надо делить частоту, больше двух единиц (например, 15, то есть 1111, или 13, то есть 1101), то для формирования сигнала сброса надо использовать элементы 2И, 3И или 4И, чтобы объединить все выходы, равные единице. В результате можно построить делитель входной частоты в любое число раз от 2 до $2N$, где N - число разрядов используемого счетчика. Правда, при организации обратных связей надо учитывать ограничение на быстродействие счетчика. Все разряды, используемые для обратной связи, должны успеть переключиться за один период входного сигнала. Скважность выходного сигнала может принимать в данном случае самые разные значения, например, выходной сигнал может представлять собой очень короткие импульсы.

Синхронные счетчики

Синхронные (или параллельные) счетчики представляют собой наиболее быстродействующую разновидность счетчиков. Нарастивание их разрядности при соблюдении определенных условий не приводит к увеличению полной задержки срабатывания. То есть можно считать, что именно синхронные счетчики работают как идеальные счетчики, все разряды которых срабатывают одновременно, параллельно. Задержка срабатывания счетчика в этом случае примерно равна задержке срабатывания одного триггера. Достигается такое быстродействие существенным усложнением внутренней структуры микросхемы.

Вместе с тем недостатком синхронных счетчиков является более сложное управление их работой по сравнению с асинхронными счетчиками и с синхронными счетчиками с асинхронным переносом. Поэтому синхронные

счетчики целесообразно применять только в тех случаях, когда действительно требуется очень высокое быстродействие, очень высокая скорость переключения разрядов. Иначе усложнение схемы управления может быть не оправдано.

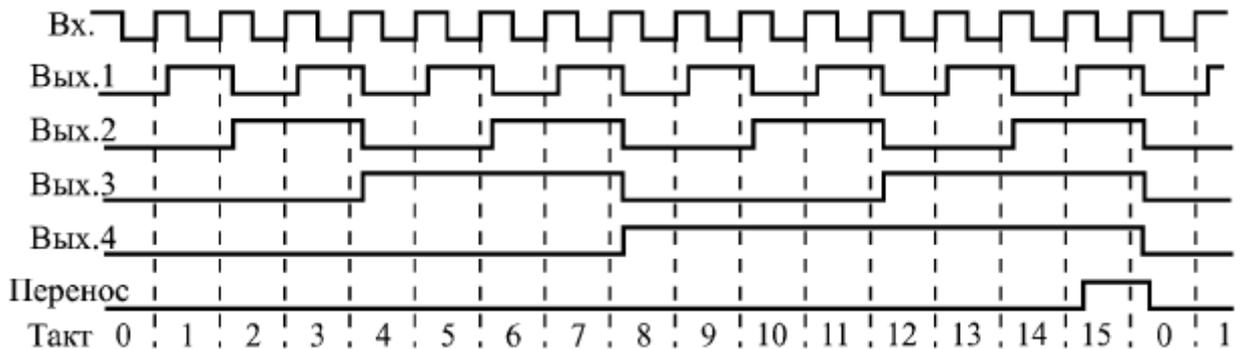


Рис. 10.1. Временная диаграмма работы синхронных двоичных счетчиков

Временная диаграмма работы синхронного счетчика (рис. 10.1) отличается от временной диаграммы синхронного счетчика с асинхронным переносом способом формирования сигнала переноса, используемого при каскадировании счетчиков для увеличения разрядности. Сигнал переноса CR (от английского "Carry") вырабатывается в данном случае тогда, когда все выходы счетчика устанавливаются в единицу (при прямом счете) или в нуль (при обратном, инверсном счете). Входной тактовый сигнал в образовании сигнала переноса при этом не участвует.

При каскадировании (совместном включении для увеличения разрядности), например, двух счетчиков тактовые входы С обоих счетчиков объединяются, а сигнал переноса первого счетчика подается на вход разрешения счета (ECT) второго счетчика. В результате второй счетчик будет считать каждый шестнадцатый входной тактовый импульс (так как он будет срабатывать только при переносе от первого счетчика). Выходные сигналы второго счетчика будут переключаться по фронту общего тактового сигнала одновременно с выходными сигналами первого счетчика. Условием правильной работы будет в данном случае следующее: за период тактового сигнала должен успеть выработаться сигнал переноса первого счетчика.

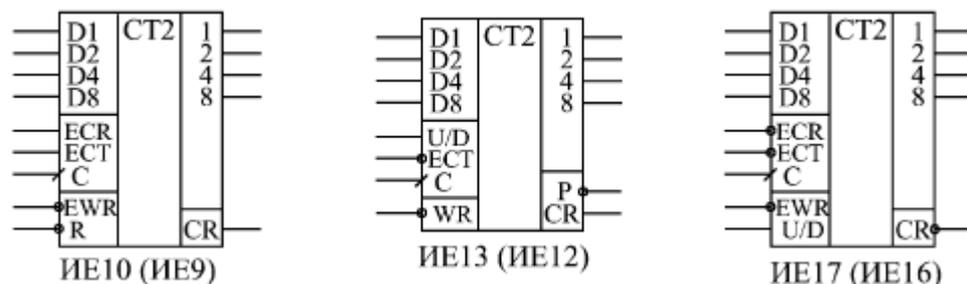


Рис. 10.2. Синхронные счетчики стандартных серий

В стандартные серии микросхем входят несколько разновидностей синхронных (параллельных) счетчиков (рис. 10.2). Различаются они

способом счета (двоичные или двоично-десятичные, реверсивные или не реверсивные) и управляющими сигналами (наличием или отсутствием сигнала сброса). Все счетчики считают по положительному фронту тактового сигнала, все имеют выход переноса CR и входы расширения для каскадирования. Все счетчики имеют возможность параллельной записи информации.

| Таблица 10.1. Режимы работы счетчиков ИЕ9 и ИЕ10 | | | | | | |
|--|---|-----|-----|-----|-----|---------------------|
| Входы | | | | | | Режим |
| R | - | EWR | ECR | ECT | C | |
| | 0 | X | X | X | X | Сброс |
| | 1 | 0 | X | X | 0→1 | Параллельная запись |
| | 1 | 1 | 0 | X | X | Хранение |
| | 1 | 1 | X | 0 | X | Хранение |
| | 1 | 1 | 1 | 1 | 0→1 | Прямой счет |

Счетчики ИЕ9 и ИЕ10 отличаются друг от друга только тем, что ИЕ9 — двоично-десятичный, а ИЕ10 — двоичный. Микросхемы имеют вход асинхронного сброса –R, по нулевому уровню на котором все выходы счетчика сбрасываются в нуль. Счет (только прямой) производится по положительному фронту на тактовом входе С. Параллельная запись осуществляется синхронно, по положительному фронту на тактовом входе С при установленном в нуль сигнале разрешения записи –EWR. Сигналы ECR ("Enable Carry" — разрешение переноса) и ECT ("Enable Count" — разрешение счета) используются при каскадировании микросхем. Разница между этими сигналами в том, что сигнал ECR не только запрещает счет, как сигнал ECT, но еще и запрещает выработку сигнала переноса CR. Счет идет при единичных сигналах на обоих входах ECT и ECT и при единичном сигнале на входе –EWR. Положительный сигнал переноса CR вырабатывается при максимально возможном коде на выходах счетчика (15 для ИЕ10 и 9 для ИЕ9) и при положительном сигнале на входе ECR. Таблица режимов работы счетчиков ИЕ9 и ИЕ10 представлена в табл. 10.1.

Счетчики ИЕ12 (двоично-десятичный) и ИЕ13 (двоичный) отличаются от ИЕ9 и ИЕ10 тем, что они реверсивные, то есть допускают как прямой, так и обратный счет. Кроме того, у них несколько другое управление. Считают они также по положительному фронту тактового сигнала С при нулевом уровне на входе разрешения счета ECT. Прямой счет осуществляется при нулевом уровне на входе управления U/D, обратный — при единичном уровне на входе U/D. Переключение уровней на входах U/D и ECT допускается только при положительном сигнале на тактовом входе С.

Сброс счетчиков ИЕ12 и ИЕ13 в нуль не предусмотрен, зато имеется возможность асинхронной параллельной записи информации по нулевому уровню сигнала параллельной записи –WR.

Положительный сигнал на выходе параллельного переноса CR появляется при достижении максимального кода (15 для ИЕ13 и 9 для ИЕ12) при прямом счете или при достижении нулевого кода при обратном (инверсном) счете. Имеется также выход последовательного переноса P, отрицательный импульс на котором вырабатывается при положительном сигнале CR и повторяет отрицательный импульс на тактовом входе C (аналогично рассмотренным ранее счетчикам ИЕ6 и ИЕ7).

Режимы работы счетчиков ИЕ12 и ИЕ13 представлена в табл. 10.2.

| Таблица 10.2. Режимы работы счетчиков ИЕ12 и ИЕ13 | | | | | |
|--|----------|------------|------------|--------------|---------------------|
| Входы | | | | Режим | |
| WR | - | U/D | ECR | - | C |
| | 0 | X | X | X | Параллельная запись |
| | 1 | X | 1 | X | Хранение |
| | 1 | 0 | 0 | 0 → | Прямой счет |
| | 1 | 1 | 0 | 0 → | Обратный счет |

Микросхемы ИЕ16 (двоично-десятичный счетчик) и ИЕ17 (двоичный счетчик) отличаются от рассмотренных синхронной параллельной записью по фронту тактового сигнала C, возможностью прямого и обратного счета и отсутствием сигнала сброса в нуль.

Срабатывают счетчики ИЕ16 и ИЕ17 по положительному фронту тактового сигнала C. При нулевом уровне на входе разрешения записи -EWR по фронту сигнала C в счетчик записывается информация со входов данных D1, D2, D4, D8. При единичном уровне на входе –EWR по положительному фронту сигнала C происходит счет. Направление счета определяется входом U/D: при единице на этом входе счет прямой, при нуле — обратный. Имеются два входа расширения: вход разрешения счета –ECT и вход разрешения переноса –ECR. Различаются эти два входа тем, что сигнал –ECR не только запрещает счет, как сигнал –ECT, но еще и запрещает выработку сигнала переноса. Переключение уровней на входах U/D, –ECT и –ECR надо производить только при единичном уровне на тактовом входе C.

Отрицательный сигнал переноса –CR (синхронный) вырабатывается при достижении на выходах счетчика максимального кода (15 для ИЕ7 или 9 для ИЕ16) при прямом счете или нулевого кода при обратном счете.

Режимы работы счетчиков ИЕ16 и ИЕ17 приведены в табл. 10.3.

| Таблица 10.3. Режимы работы счетчиков ИЕ16 и ИЕ17 | | | | | | | | |
|---|---|-----|-----|---|-------|-----|---|---------------------|
| Входы | | | | | Режим | | | |
| EWR | - | U/D | ECT | - | ECR | - | C | |
| | 0 | X | X | X | X | 0→1 | | Параллельная запись |
| | 1 | 1 | 0 | 0 | 0 | 0→1 | | Прямой счет |
| | 1 | 0 | 0 | 0 | 0 | 0→1 | | Обратный счет |
| | 1 | X | 1 | X | X | X | X | Хранение |
| | 1 | X | X | 1 | 1 | X | X | Хранение |

Возможности применения синхронных (параллельных) счетчиков очень широки. Достаточно сказать, что они без всяких проблем могут заменить во всех схемах как асинхронные (последовательные) счетчики, так и синхронные счетчики с асинхронным (последовательным) переносом. При необходимости достижения максимального быстродействия они имеют большие преимущества по сравнению со всеми другими счетчиками. Их выходной код устанавливается одновременно при любом количестве разрядов без применения дополнительных выходных регистров (которые требовались в случае асинхронных счетчиков и синхронных счетчиков с асинхронным переносом).

Функциональные узлы цифровой электроники.

Запоминающие устройства

Постоянная память

Микросхемы памяти (или просто память, или запоминающие устройства — ЗУ, английское "Memory") представляют собой следующий шаг на пути усложнения цифровых микросхем по сравнению с микросхемами, рассмотренными ранее. Память — это всегда очень сложная структура, включающая в себя множество элементов. Правда, внутренняя структура памяти — регулярная, большинство элементов одинаковые, связи между элементами сравнительно простые, поэтому функции, выполняемые микросхемами памяти, не слишком сложные.

Память, как и следует из ее названия, предназначена для запоминания, хранения каких-то массивов информации, проще говоря, наборов, таблиц, групп цифровых кодов. Каждый код хранится в отдельном элементе памяти, называемом ячейкой памяти. Основная функция любой памяти как раз и состоит в выдаче этих кодов на выходы микросхемы по внешнему запросу. А основной параметр памяти — это ее объем, то есть количество кодов, которые могут в ней храниться, и разрядность этих кодов.

Для обозначения количества ячеек памяти используются следующие специальные единицы измерения:

- 1К — это 1024, то есть 2^{10} (читается "кило-" или "ка-"), примерно равно одной тысяче;
- 1М — это 1048576, то есть 2^{20} (читается "мега-"), примерно равно одному миллиону;
- 1Г — это 1073741824, то есть 2^{30} (читается "гига-"), примерно равно одному миллиарду.

Принцип организации памяти записывается следующим образом: сначала пишется количество ячеек, а затем через знак умножения (косой крест) — разрядность кода, хранящегося в одной ячейке. Например, *организация памяти 64Кх8* означает, что *память* имеет 64К (то есть 65536) ячеек и каждая ячейка — восьмиразрядная. А организация памяти 4М х 1 означает, что *память* имеет 4М (то есть 4194304) ячеек, причем каждая ячейка имеет всего один разряд. Общий объем памяти измеряется в байтах (килобайтах — Кбайт, мегабайтах — Мбайт, гигабайтах — Гбайт) или в битах (килобитах — Кбит, мегабитах — Мбит, гигабитах — Гбит).

В зависимости от способа занесения (записи) информации и от способа ее хранения, микросхемы памяти разделяются на следующие основные типы:

- *Постоянная память (ПЗУ* — постоянное запоминающее устройство, ROM — Read Only Memory — память только для чтения), в которую информация заносится один раз на этапе изготовления микросхемы.

Такая память называется еще масочным ПЗУ. Информация в памяти не пропадает при выключении ее питания, поэтому ее еще называют энергонезависимой памятью.

- *Программируемая постоянная память* (ППЗУ — программируемое ПЗУ, PROM — Programmable ROM), в которую информация может заноситься пользователем с помощью специальных методов (ограниченное число раз). Информация в ППЗУ тоже не пропадает при выключении ее питания, то есть она также энергонезависимая.

- *Оперативная память* (ОЗУ — оперативное запоминающее устройство, RAM — Random Access Memory — память с произвольным доступом), запись информации в которую наиболее проста и может производиться пользователем сколько угодно раз на протяжении всего срока службы микросхемы. Информация в памяти пропадает при выключении ее питания.

Существует множество промежуточных типов памяти, а также множество подтипов, но указанные — самые главные, принципиально отличающиеся друг от друга. Хотя, разница между ПЗУ и ППЗУ с точки зрения разработчика цифровых устройств, как правило, не так уж велика. Только в отдельных случаях, например, при использовании так называемой флэш-памяти (flash-memory), представляющей собой ППЗУ с многократным электрическим стиранием и перезаписью информации, эта разница действительно чрезвычайно важна. Можно считать, что флэш-память занимает промежуточное положение между ОЗУ и ПЗУ.

В общем случае любая микросхема памяти имеет следующие информационные выходы (рис. 11.1):

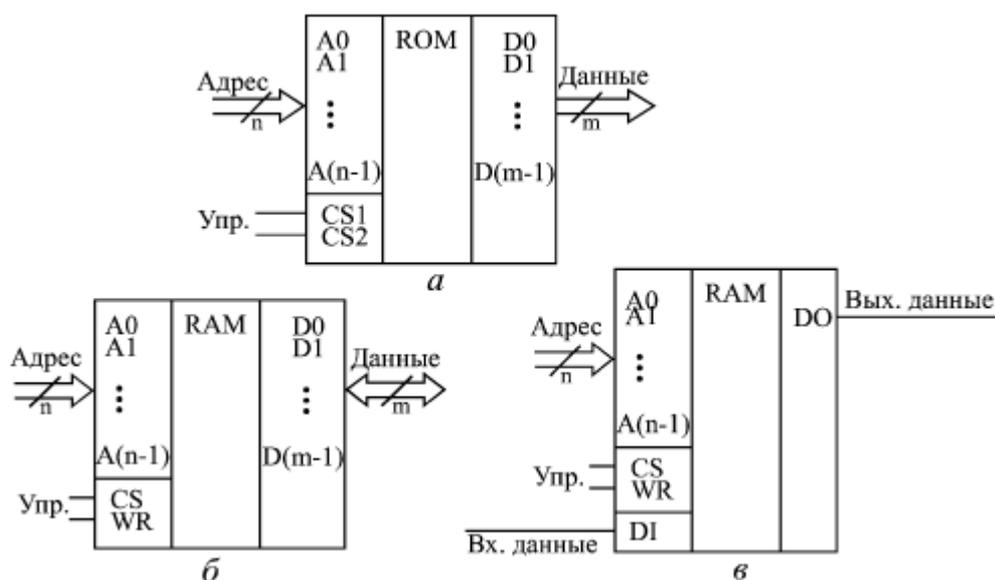


Рис. 11.1. Микросхемы памяти: ПЗУ (а), ОЗУ с двунаправленной шиной данных (б), ОЗУ с отдельными шинами входных и выходных данных (в)

- Адресные выходы (входные), образующие шину адреса памяти. Код на адресных линиях представляет собой двоичный номер ячейки памяти,

к которой происходит обращение в данный момент. Количество адресных разрядов определяет количество ячеек памяти: при количестве адресных разрядов n количество ячеек памяти равно 2^n .

- Выводы данных (выходные), образующие шину данных памяти. Код на линиях данных представляет собой содержимое той ячейки памяти, к которой производится обращение в данный момент. Количество разрядов данных определяет количество разрядов всех ячеек памяти (обычно оно бывает равным 1, 4, 8, 16). Как правило, выходы данных имеют тип выходного каскада ОК или ЗС.

- В случае оперативной памяти, помимо выходной шины данных, может быть еще и отдельная входная шина данных, на которую подается код, записываемый в выбранную ячейку памяти. Другой возможный вариант — совмещение входной и выходной шин данных, то есть двунаправленная шина, направление передачи информации по которой определяется управляющими сигналами. Двунаправленная шина применяется обычно при количестве разрядов шины данных 4 или более.

- Управляющие выходы (входные), которые определяют режим работы микросхемы. В большинстве случаев у памяти имеется вход выбора микросхемы CS (их может быть несколько, объединенных по функции И). У оперативной памяти также обязательно есть вход записи WR, активный уровень сигнала на котором переводит микросхему в режим записи.

Мы в данной лекции не будем, конечно, изучать все возможные разновидности микросхем памяти, для этого не хватит целой книги. К тому же эта информация содержится в многочисленных справочниках. Микросхемы памяти выпускаются десятками фирм во всем мире, поэтому даже перечислить все их не слишком просто, не говоря уже о том, чтобы подробно рассматривать их особенности и параметры. Мы всего лишь рассмотрим различные схемы включения типичных микросхем памяти для решения наиболее распространенных задач, а также методы проектирования некоторых узлов и устройств на основе микросхем памяти. Именно это имеет непосредственное отношение к цифровой схемотехнике. И именно способы включения микросхем мало зависят от характерных особенностей той или иной микросхемы той или иной фирмы.

В данном разделе мы не будем говорить о флэш-памяти, так как это отдельная большая тема. Мы ограничимся только простейшими микросхемами ПЗУ и ППЗУ, информация в которые заносится раз и навсегда (на этапе изготовления или же самим пользователем). Мы также не будем рассматривать здесь особенности оборудования для программирования ППЗУ (так называемых *программаторов*), принципы их построения и использования, — это отдельная большая тема. Мы будем считать, что нужная нам информация может быть записана в ПЗУ или ППЗУ, а когда, как, каким способом она будет записана, нам не слишком важно. Все эти допущения позволят нам сосредоточиться именно на схемотехнике узлов и устройств на основе ПЗУ и ППЗУ (для простоты будем называть их в дальнейшем просто ПЗУ).

Упомянем здесь только, что ППЗУ делятся на репрограммируемые или перепрограммируемые ПЗУ (ППЗУ, EPROM — Erasable Programmable ROM), то есть допускающие стирание и перезапись информации, и однократно программируемые ПЗУ. В свою очередь, ППЗУ делятся на ПЗУ, информация в которых стирается электрическими сигналами (EEPROM — Electrically Erasable Programmable ROM), и на ПЗУ, информация в которых стирается ультрафиолетовым излучением через специальное прозрачное окошко в корпусе микросхемы (собственно EPROM — Erasable Programmable ROM). Запись информации в любые ППЗУ производится с помощью подачи определенных последовательностей электрических сигналов (как правило, повышенного напряжения) на выводы микросхемы.

Фирмами-производителями цифровых микросхем выпускается немало самых разнообразных ПЗУ и ППЗУ. Различаются микросхемы постоянной памяти своим объемом (от 32 байт до 8 Мбайт и более), организацией (обычно количество разрядов данных бывает 4, 8 или 16), способами управления (назначением управляющих сигналов), типами выходных каскадов (обычно ОК или 3С), быстродействием (обычно задержка составляет от единиц до сотен наносекунд). Но суть всех микросхем ПЗУ остается одной и той же: имеется шина адреса, на которую надо подавать код адреса нужной ячейки памяти, имеется шина данных, на которую выдается код, записанный в адресуемой ячейке, и имеются входы управления, которые разрешают или запрещают выдачу информации из адресуемой ячейки на шину данных.

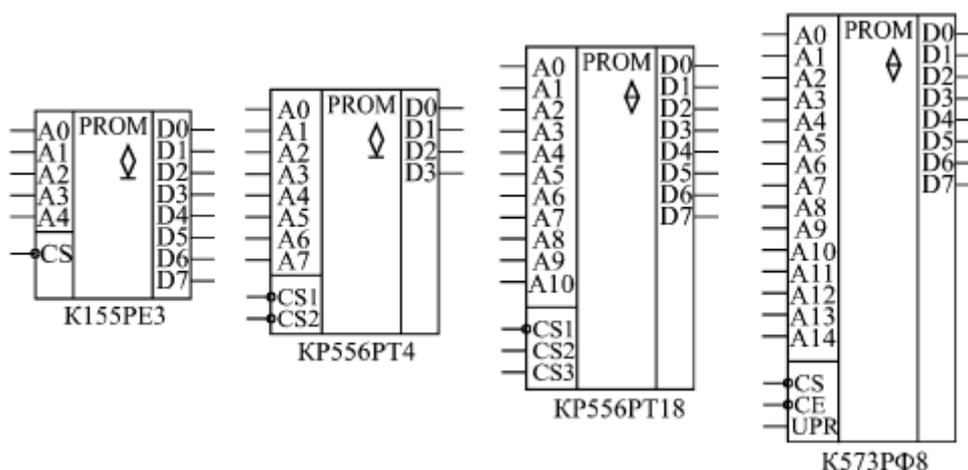


Рис. 11.2. Примеры микросхем ППЗУ отечественного производства

На рис. 11.2 представлены для примера несколько простейших и типичных микросхем постоянной памяти.

Оперативная память

Основное отличие оперативной памяти (RAM) от постоянной (ROM) состоит в возможности оперативного изменения содержимого всех ячеек памяти с помощью дополнительного управляющего сигнала записи WR. Каждая ячейка оперативной (статической) памяти представляет собой, по

сути, регистр из триггерных ячеек, в который может быть записана информация и из которого можно информацию читать. Выбор того или иного регистра (той или иной ячейки памяти) производится с помощью кода адреса памяти. Поэтому при выключении питания вся информация из оперативной памяти пропадает (стирается), а при включении питания информация в оперативной памяти может быть произвольной.

Отметим, что существует также еще одна разновидность оперативной памяти, так называемая динамическая (в отличие от статической), в которой информация хранится не в регистрах (не в триггерных ячейках), а в виде заряда на конденсаторах. Эта память отличается более низкой стоимостью, меньшим быстродействием и необходимостью регулярной регенерации ("Refresh" - "освежение") информации в ней (так как конденсаторы со временем разряжаются). Область применения динамической памяти гораздо уже, чем статической, в основном она используется в качестве системной оперативной памяти компьютеров, где соображения стоимости выходят на первый план. Поэтому здесь мы о ней говорить не будем, хотя многие особенности использования статической памяти относятся и к динамической памяти.

Во всех рассмотренных в предыдущем разделе схемах постоянная память в принципе может быть заменена оперативной, только карту прошивки в данном случае придется записывать в память каждый раз заново после включения питания. Аналогично, многое из сказанного в данном разделе про оперативную память справедливо и для постоянной памяти, но только информацию в постоянной памяти менять невозможно. Однако существуют также и специфические области применения оперативной памяти, которым и будет уделено здесь особое внимание.

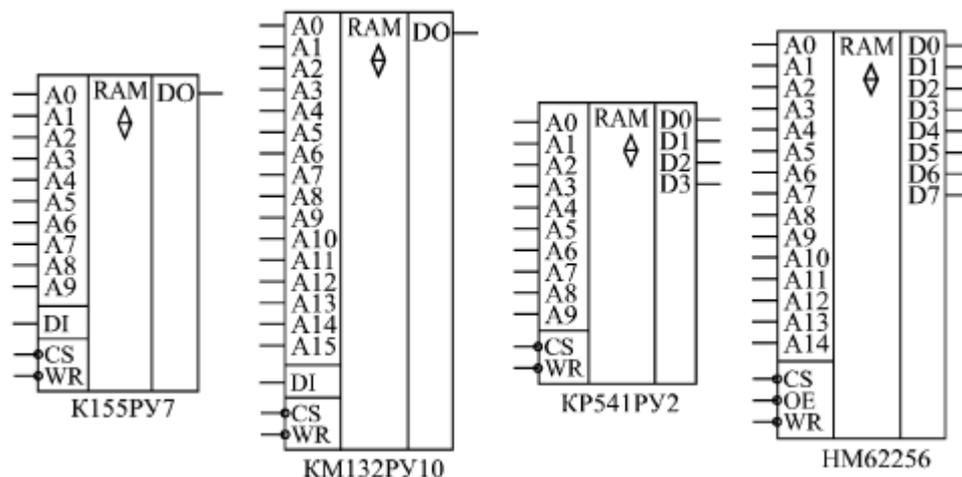


Рис. 12.1. Примеры микросхем статических ОЗУ

Как уже отмечалось, оперативная память бывает двух основных видов: с отдельными шинами входных и выходных данных (в основном это одноразрядная память) и с двунаправленной (совмещенной) шиной входных и выходных данных (многоразрядная память). Некоторые простейшие примеры микросхем памяти обоих этих видов приведены на рис. 12.1.

Выходы данных микросхем памяти имеют тип ОК (довольно редко) или 3С. Управляющие сигналы - это сигнал выбора микросхемы CS (иногда их несколько), сигнал записи WR (обычно отрицательный) и иногда сигнал разрешения выхода OE.

Микросхема оперативной памяти K155PY7 (аналог - F9342APC) имеет организацию 1Кх1 и отдельные входной и выходной сигналы данных. Выход микросхемы - типа 3С. Управление работой микросхемы производится двумя управляющими сигналами CS и WR. Режимы работы микросхемы приведены в табл. 12.1.

| Таблица 12.1. Режимы работы оперативной памяти K155PY7 | | | | | | | |
|--|---|----|---|---------|--------------|--------|----------|
| Входы и выходы | | | | | Режим работы | | |
| CS | - | WR | - | A0...A9 | DI | DO | |
| | 1 | | X | X | X | 3С | Хранение |
| | 0 | | 0 | Адрес | 0 | 3С | Запись 0 |
| | 0 | | 0 | Адрес | 1 | 3С | Запись 1 |
| | 0 | | 1 | Адрес | X | Данные | Чтение |

Микросхема KM132PY10 отличается от K155PY7 в основном большим объемом (организация 64К х 1) и несколько меньшим быстродействием. Назначение управляющих сигналов и таблица режимов работы у этих микросхем совпадают.

| Таблица 12.2. Режимы работы оперативной памяти KP541PY2 | | | | | | |
|---|---|----|---|---------|--------------|----------|
| Входы и выходы | | | | | Режим работы | |
| CS | - | WR | - | A0...A9 | DIO0...DIO3 | |
| | 1 | | X | X | 3С | Хранение |
| | 0 | | 0 | Адрес | 3С | Запись 0 |
| | 0 | | 0 | Адрес | 3С | Запись 1 |
| | 0 | | 1 | Адрес | Данные | Чтение |

Микросхема KP541PY2 (аналог - IM7147L-3) относится к другой разновидности микросхем памяти. У нее четыре двунаправленных вывода данных типа 3С. Управляющие сигналы те же самые: -CS и -WR. Таблица режимов работы (табл. 12.2) также похожа на таблицу для одноразрядных микросхем. Главное отличие состоит в том, что в режиме записи на входах/выходах данных присутствует записываемая информация.

Микросхема NM62256 фирмы Hitachi отличается от KP541PY2 прежде всего организацией (32К x 8) и управляющими сигналами (добавлен сигнал разрешения выхода –OE). Когда этот сигнал пассивен (равен единице), входы/выходы данных микросхемы находятся в состоянии ЗС независимо от режима работы. Введение дополнительного сигнала позволяет более гибко управлять работой микросхемы. К тому же обычно в подобных микросхемах при пассивном сигнале –CS (равном единице) значительно уменьшается потребляемая мощность.

В настоящее время имеется огромный выбор микросхем памяти с разным объемом (от нескольких байт до нескольких мегабайт), с разным количеством разрядов (обычно 1, 4, 8, 16 разрядов), с разными методами управления, с разным потреблением и быстродействием. В каждом конкретном случае надо подбирать оптимальную память, в наибольшей степени удовлетворяющую требованиям решаемой задачи.

Таблицы режимов работы (таблицы истинности) микросхем памяти не дают достаточно информации для их практического использования. Для микросхем памяти очень важны временные параметры (задержки сигналов относительно друг друга) и порядок выставления и снятия сигналов адреса, данных и управления. Всю эту информацию дают временные диаграммы циклов записи в память и чтения (считывания) из памяти, приводимые в справочниках. Самые главные временные параметры оперативной памяти следующие:

- время выборки адреса (задержка между изменением адреса и выдачей данных);
- время выборки микросхемы (задержка выдачи данных по выставлению сигнала -CS);
- минимальная длительность сигнала записи -WR;
- минимальная длительность сигнала -CS.

Всего же количество временных параметров может достигать двух-трех десятков, но мы не будем подробно останавливаться на этом, так как вся подобная информация имеется в многочисленных справочниках. Характерные величины всех временных параметров памяти составляет от единиц и даже долей наносекунд до десятков наносекунд.

Типичные временные диаграммы циклов записи и чтения приведены на рис. 12.2. Конкретные временные диаграммы для каждого типа памяти необходимо смотреть в справочниках.

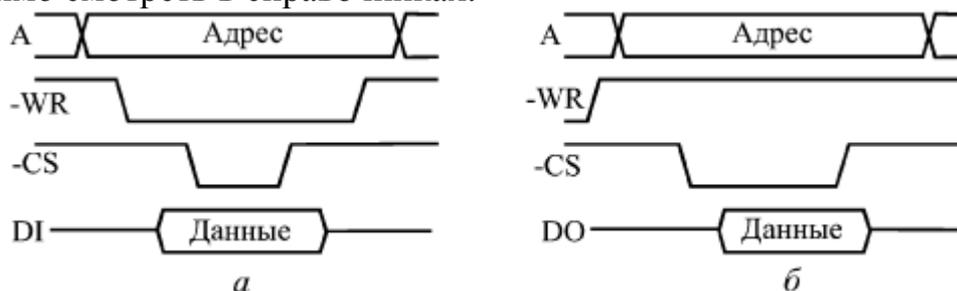


Рис. 12.2. Типичные временные диаграммы записи в память (а) и чтения из памяти (б)

Для записи информации в память надо выставить код адреса на адресных входах, выставить код записываемых в этот адрес данных на входах данных, подать сигнал записи -WR и подать сигнал выбора микросхемы -CS . Порядок выставления сигналов бывает различным, он может быть существенным или несущественным (например, можно выставлять или снимать -CS раньше или позже выставления или снятия -WR). Собственно запись обычно производится сигналом -WR или -CS , причем данные должны удерживаться в течение всего сигнала -WR (или -CS) и заданное время после его окончания.

Сигнал -CS у некоторых микросхем памяти допускается держать активным (нулевым) для всех записываемых адресов и при этом подавать импульсы -WR для каждого адреса. Точно так же у некоторых микросхем допускается держать активным (нулевым) сигнал записи -WR , но при этом подавать импульсы -CS .

В случае микросхем памяти с двунаправленной шиной данных необходимо использовать источник записываемых данных с выходом 3C или OK , чтобы избежать конфликта данных, записываемых в память, с данными, выдаваемыми из памяти в режиме чтения.

Для чтения информации из памяти надо выставить код адреса читаемой ячейки и подать сигналы -CS и -OE (если он имеется). Сигнал -WR в процессе чтения должен оставаться пассивным (равным единице). В некоторых микросхемах памяти (называемых нетактируемыми, например, K155PY7 , KP541PY2 , HM62256) можно держать активным (нулевым) сигнал -CS для всех читаемых адресов. В других микросхемах (называемых тактируемыми, например, KM132PY10 , K537PY8) необходимо подавать свой импульс -CS для каждого читаемого адреса. Понятно, что нетактируемые микросхемы гораздо удобнее в применении, чем тактируемые.

Функциональные узлы цифровой электроники.

Применение ЦАП и АЦП

Цифро-аналоговые преобразователи (*ЦАП*, *DAC* — "Digital-to-Analog Converter") и аналого-цифровые преобразователи (*АЦП*, *ADC* — "Analog-to-Digital Converter") главным образом применяются для сопряжения цифровых устройств и систем с внешними аналоговыми сигналами, с реальным миром. При этом *АЦП* преобразует аналоговые сигналы во входные цифровые сигналы, поступающие на цифровые устройства для дальнейшей обработки или хранения, а *ЦАП* преобразует выходные цифровые сигналы цифровых устройств в аналоговые сигналы.

ЦАП и *АЦП* применяются в измерительной технике (цифровые осциллографы, вольтметры, генераторы сигналов и т.д.), в бытовой аппаратуре (телевизоры, музыкальные центры, автомобильная электроника и т.д.), в компьютерной технике (ввод и вывод звука в компьютерах, видеомониторы, принтеры и т.д.), в медицинской технике, в радиолокационных устройствах, в телефонии и во многих других областях. Применение *ЦАП* и *АЦП* постоянно расширяется по мере перехода от аналоговых к цифровым устройствам.

В качестве *ЦАП* и *АЦП* обычно применяются специализированные микросхемы, выпускаемые многими отечественными и зарубежными фирмами.

Сразу же надо отметить, что для грамотного и профессионального использования микросхем *ЦАП* и *АЦП* совершенно не достаточно знания цифровой схемотехники. Эти микросхемы относятся к аналого-цифровым, поэтому они требуют также знания аналоговой схемотехники, существенно отличающейся от цифровой. Практическое применение *ЦАП* и *АЦП* требует расчета аналоговых цепей, учета многочисленных погрешностей преобразования (как статических, так и динамических), знания характеристик и особенностей аналоговых микросхем (в первую очередь, операционных усилителей) и многого другого, что далеко выходит за рамки этой книги. Существует обширная литература, специально посвященная именно вопросам применения *ЦАП* и *АЦП*. Поэтому в данной лекции мы не будем говорить о специфике выбора и принципах включения конкретных микросхем *ЦАП* и *АЦП* мы будем рассматривать только основные особенности методов соединения *ЦАП* и *АЦП* с цифровыми узлами. Нас будет в первую очередь интересовать организация цифровых узлов, предназначенных для соединения с *ЦАП* и *АЦП*.

Применение ЦАП

В общем случае микросхему *ЦАП* можно представить в виде блока (рис. 13.1), имеющего несколько цифровых входов и один аналоговый вход, а также аналоговый выход.

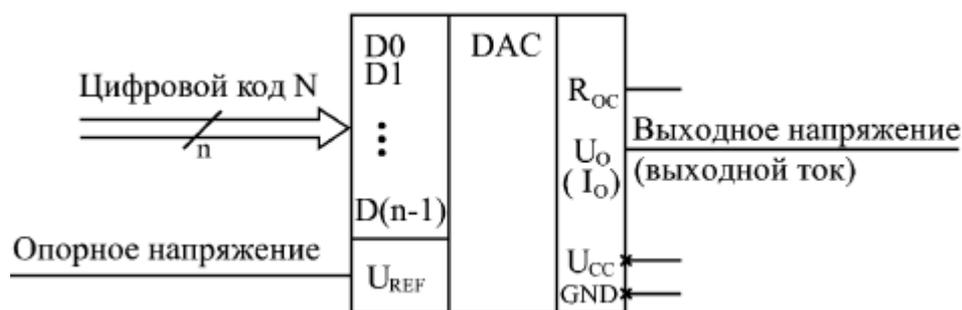


Рис. 13.1. Микросхема ЦАП

На цифровые входы *ЦАП* подается n -разрядный код N , на аналоговый вход — *опорное напряжение* $U_{оп}$ (другое распространенное обозначение — U_{REF}). Выходным сигналом является напряжение $U_{вых}$ (другое обозначение — U_O) или ток $I_{вых}$ (другое обозначение — I_O). При этом выходной ток или выходное напряжение пропорциональны входному коду и опорному напряжению. Для некоторых микросхем *опорное напряжение* должно иметь строго заданный уровень, для других допускается менять его значение в широких пределах, в том числе и изменять его полярность (положительную на отрицательную и наоборот). *ЦАП* с большим диапазоном изменения опорного напряжения называется *умножающим ЦАП*, так как его можно легко использовать для умножения входного кода на любое *опорное напряжение*.

Кроме информационных сигналов, микросхемы *ЦАП* требуют также подключения одного или двух источников питания и общего провода. Обычно цифровые входы *ЦАП* обеспечивают совместимость со стандартными выходами микросхем ТТЛ.

Чаще всего в случае, если *ЦАП* имеет токовый выход, его выходной ток преобразуется в выходное напряжение с помощью внешнего операционного усилителя и встроенного в *ЦАП* резистора R_{OC} , один из выводов которого выведен на внешний вывод микросхемы (рис. 13.2). Поэтому, если не оговорено иное, мы будем в дальнейшем считать, что выходной сигнал *ЦАП* — напряжение U_O .

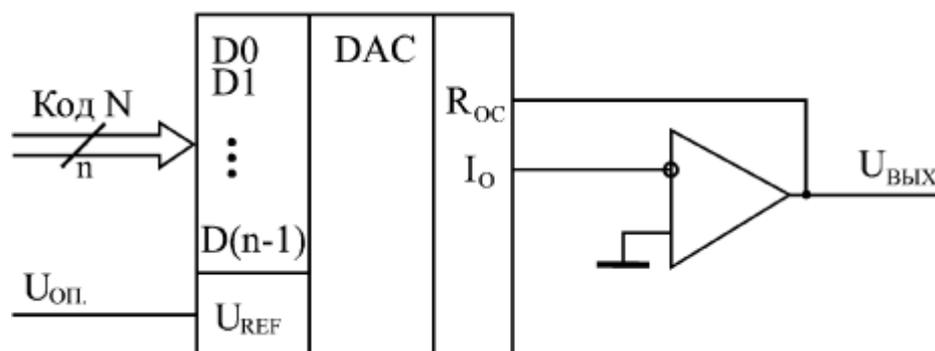


Рис. 13.2. Преобразование выходного тока ЦАП в выходное напряжение

Суть преобразования входного цифрового кода в выходной аналоговый сигнал довольно проста. Она состоит в суммировании нескольких токов (по числу разрядов входного кода), каждый последующий из которых вдвое больше предыдущего. Для получения этих токов используются или транзисторные источники тока, или резистивные матрицы, коммутируемые транзисторными ключами.

В качестве примера на рис. 13.3 показано 4-разрядное ($n = 4$) цифро-аналоговое преобразование на основе резистивной матрицы $R-2R$ и ключей (в реальности используются ключи на основе транзисторов). Правому положению ключа соответствует единица в данном разряде входного кода N (разряды $D_0 \dots D_3$). Операционный усилитель может быть как встроенным (в случае ЦАП с выходом по напряжению), так и внешним (в случае ЦАП с выходом по току).

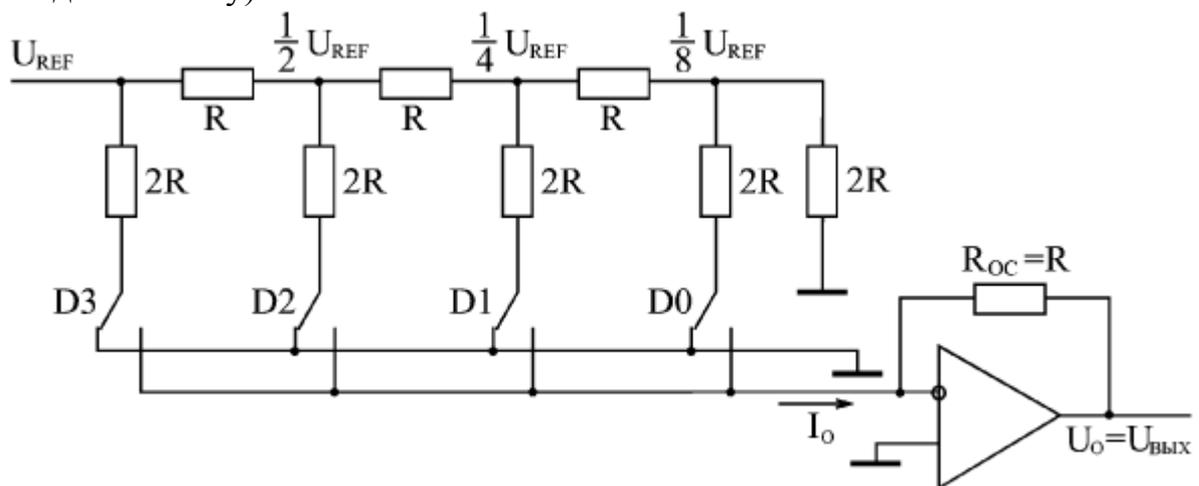


Рис. 13.3. 4-разрядное цифро-аналоговое преобразование

Первым (левым по рисунку) ключом коммутируется ток величиной $U_{REF}/2R$, вторым ключом — ток $U_{REF}/4R$, третьим — ток $U_{REF}/8R$, четвертым — ток $U_{REF}/16R$. То есть токи, коммутируемые соседними ключами, различаются вдвое, как и веса разрядов двоичного кода. Токи, коммутируемые всеми ключами, суммируются и преобразуются в выходное напряжение с помощью операционного усилителя с сопротивлением $R_{OC}=R$ в цепи отрицательной обратной связи.

При правом положении каждого ключа (единица в соответствующем разряде входного кода ЦАП) ток, коммутируемый этим ключом, поступает на суммирование. При левом положении ключа (ноль в соответствующем разряде входного кода ЦАП) ток, коммутируемый этим ключом, на суммирование не поступает.

Суммарный ток I_O от всех ключей создает на выходе операционного усилителя напряжение $U_O = I_O R_{OC} = I_{OR}$. То есть вклад первого ключа (старшего разряда кода) в выходное напряжение составляет $U_{REF}/2$, второго — $U_{REF}/4$, третьего — $U_{REF}/8$, четвертого — $U_{REF}/16$. Таким образом, при входном коде $N = 0000$ выходное напряжение схемы будет нулевым, а при входном коде $N = 1111$ оно будет равно $-15U_{REF}/16$.

В общем случае выходное напряжение ЦАП при $R_{OC} = R$ будет связано со входным кодом N и опорным напряжением U_{REF} простой формулой

$$U_{ВЫХ} = -N \cdot U_{REF} 2^{-n}$$

где n — количество разрядов входного кода. Знак минус получается из-за инверсии сигнала операционным усилителем. Эту связь можно проиллюстрировать также табл. 13.1.

| Таблица 13.1. Преобразование ЦАП в однополярном режиме | |
|---|---|
| Входной код N | Выходное напряжение $U_{ВЫХ}$ |
| 000...000 | 0 |
| 000...001 | $-2^{-n} U_{REF}$ |
| ... | ... |
| 100...000 | $-2^{-1} U_{REF}$ |
| ... | ... |
| 111...111 | $-(1-2^{-n}) U_{REF}$ |

Некоторые микросхемы ЦАП предусматривают возможность работы в биполярном режиме, при котором выходное напряжение изменяется не от нуля до U_{REF} , а от $-U_{REF}$ до $+U_{REF}$. При этом выходной сигнал ЦАП $U_{ВЫХ}$ умножается на 2 и сдвигается на величину U_{REF} . Связь между входным кодом N и выходным напряжением $U_{ВЫХ}$ будет следующей:

$$U_{ВЫХ} = U_{REF}(1 - N \cdot 2^{1-n})$$

Это можно проиллюстрировать табл. 13.2. Такое биполярное преобразование при возможности смены знака опорного напряжения называется также четырехквadrантным умножением (То есть и опорное, и выходное напряжения могут быть в данном случае как положительными, так и отрицательными).

| Таблица 13.2. Преобразование ЦАП в биполярном режиме | |
|---|---|
| Входной код N | Выходное напряжение $U_{ВЫХ}$ |
| 000...000 | U_{REF} |
| ... | ... |
| 011...111 | $2^{-n} U_{REF}$ |
| 100...000 | 0 |
| ... | ... |
| 111...111 | $-(1-2^{1-n}) U_{REF}$ |

Микросхемы ЦАП, имеющиеся на рынке, различаются количеством разрядов (от 8 до 24), величиной задержки преобразования (от единиц наносекунд до единиц микросекунд), допустимой величиной опорного напряжения (обычно — единицы вольт), величинами погрешностей преобразования и другими параметрами. Различаются они также технологией изготовления и особенностями внутренней структуры, что нередко накладывает ограничения на их использование. Поэтому выбирать микросхему ЦАП для конкретного применения необходимо с использованием подробной справочной информации, предоставляемой фирмами-изготовителями. Мы же будем говорить только об общих принципах включения ЦАП в цифровые схемы без учета их частных особенностей.

Иногда бывает необходимо уменьшить количество разрядов ЦАП. Для этого нужно подать сигналы логического нуля на нужное число младших разрядов ЦАП (но никак не старших разрядов). На рис. 13.4 показано, как из 10-разрядного ЦАП можно сделать 8-разрядный, подав нули на два младших разряда. Увеличение количества разрядов ЦАП представляет собой гораздо более сложную задачу, требующую построения сложных аналоговых схем, поэтому оно встречается довольно редко. Значительно проще подобрать микросхему с нужным или с большим, чем нужно, количеством разрядов.

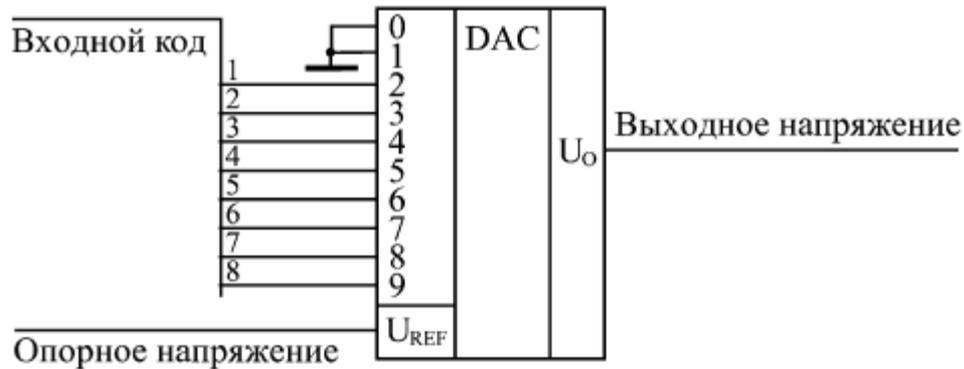


Рис. 13.4. Уменьшение разрядности ЦАП

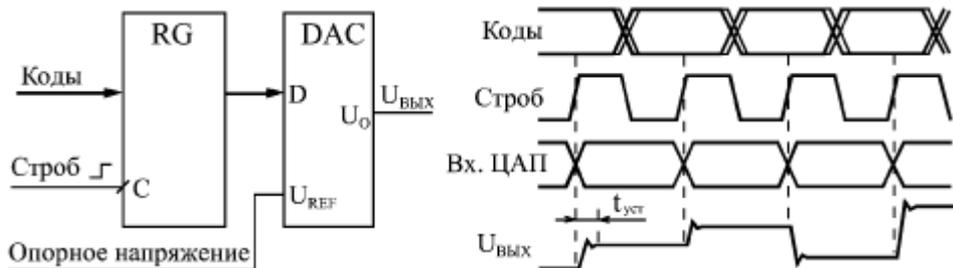


Рис. 13.5. Преобразование последовательности кодов в выходное напряжение

Основное применение микросхем ЦАП состоит в получении аналогового сигнала из последовательности цифровых кодов (рис. 13.5). Как правило, коды подаются на входы ЦАП через параллельный регистр, что позволяет обеспечить одновременность изменения всех разрядов входного

кода ЦАП. При одновременном изменении разрядов входного кода на выходе ЦАП появляются большие короткие импульсы напряжения, уровни которых не соответствуют ни одному из кодов.

Однако, даже при одновременном изменении всех разрядов входного кода ЦАП, уровень напряжения, соответствующий поданному коду, устанавливается не сразу, а за время установления ЦАП $t_{уст}$, что связано с неидеальностью внутренних элементов ЦАП. Выходной ток ЦАП, как правило, устанавливается значительно быстрее выходного напряжения, так как он не зависит от инерционности операционного усилителя. Понятно, что условие правильной работы ЦАП состоит в том, чтобы длительность сохранения входного кода была больше, чем время установления ЦАП $t_{уст}$, иначе выходной сигнал не успеет принять значение, соответствующее входному коду.

Если подавать коды на вход ЦАП редко, то приведенная на рис. 13.5 схема может использоваться, например, в управляемом источнике питания, выходное напряжение которого задается входным кодом. Правда, при этом необходимо еще обеспечить большой выходной ток источника питания, применив внешний усилитель тока.

Если же подавать коды на вход ЦАП с высокой частотой, то можно получить генератор (он же синтезатор) аналоговых сигналов произвольной формы. В этом случае коды, поступающие на ЦАП, называют кодами выборок (то есть мгновенных значений) генерируемого аналогового сигнала.

В простейшем случае в качестве источника входных кодов ЦАП можно использовать обычный двоичный счетчик (рис. 13.6). Выходное напряжение ЦАП будет нарастать при этом на величину $2^{-n}U_{REF}$ с каждым тактовым импульсом, формируя пилообразные выходные сигналы амплитудой U_{REF} . Длительность каждой ступеньки равна периоду тактового генератора T , а период всего выходного сигнала равен $2^n T$. Количество ступенек в периоде выходного сигнала равно 2^n . Если в данной схеме использовать синхронные счетчики с синхронным переносом, то входной регистр ЦАП не нужен, так как все разряды счетчика переключаются одновременно. Если же используются асинхронные счетчики или синхронные счетчики с асинхронным переносом, то входной регистр ЦАП необходим.

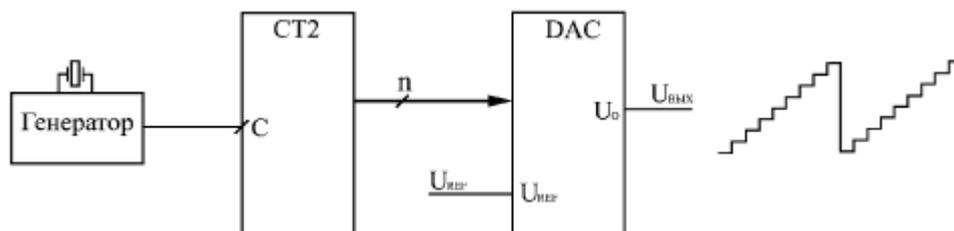


Рис. 13.6. Генератор пилообразного аналогового сигнала

В случае, когда нужно формировать аналоговые сигналы произвольной формы (синусоидальные, колоколообразные, шумовые, треугольные, импульсные и т.д.), в качестве источника кодов, поступающих

на ЦАП, необходимо использовать память, работающую в режиме чтения (рис. 13.7).

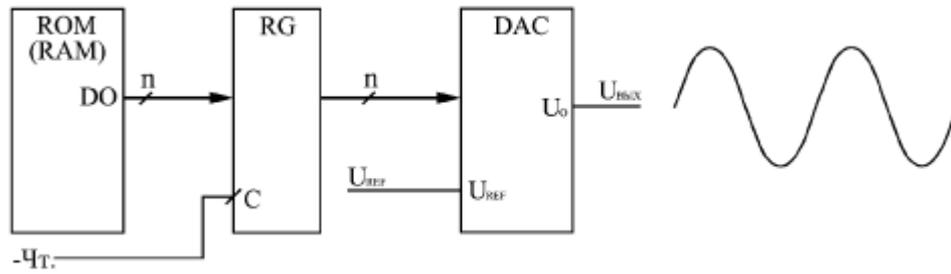


Рис. 13.7. Генерация сигналов произвольной формы

Если память постоянная, то набор форм генерируемых сигналов задается раз и навсегда. Если же память оперативная, то строится однонаправленный информационный буфер с периодическим режимом работы, что позволит записывать в память коды для генерации самых разных сигналов. В обоих случаях входной регистр ЦАП необходим, информация в него записывается стробом чтения из памяти.

Как и в предыдущем случае, выходной сигнал ЦАП будет состоять из ступенек, высота которых кратна $2^{-n}U_{REF}$. Амплитуда выходного сигнала не превышает U_{REF} . Если адреса памяти перебираются счетчиком, то период выходного аналогового сигнала равен $2^m T$, где T — период тактового сигнала чтения из памяти "Чт.", а m — количество адресных разрядов памяти.

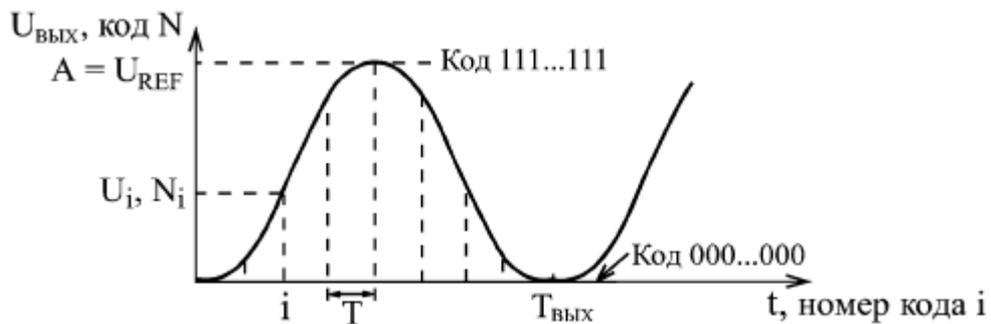


Рис. 13.8. Вычисление кодов выборок периодического сигнала

Если надо вычислить коды выборок для генерации какого-то периодического сигнала, то необходимо его период разделить на 2^m частей и вычислить соответствующие 2^m значений этого сигнала U^i . Затем надо пересчитать значения сигнала в коды по формуле $N_i = 2^n U_i / A$ где A — амплитуда сигнала, и взять ближайшее целое значение кода. Нулевое значение сигнала даст при этом нулевой код 000...000, максимальное значение сигнала (равное амплитуде A) даст максимальный код 111...111. В результате подачи этих кодов на ЦАП с периодом T будет генерироваться аналоговый сигнал требуемой формы с амплитудой, равной U_{REF} и с периодом $T_{вых} = 2^m T$. Пример такого вычисления проиллюстрирован рис. 13.8.

Подробнее задача проектирования генератора аналоговых сигналов произвольной формы будет рассмотрена в следующей лекции.

Преобразование цифровых кодов в аналоговый сигнал — это не единственное применение микросхем ЦАП. Они могут также использоваться для управляемой обработки аналоговых сигналов, например, для усиления и ослабления аналоговых сигналов в заданное число раз. Для этого лучше всего подходят умножающие ЦАП, которые допускают изменение уровня опорного напряжения в широких пределах, в том числе и с изменением его знака. Таких микросхем ЦАП выпускается сейчас достаточно много, с различным быстродействием и с различным количеством разрядов входного кода.

Информационно-измерительная системы

Электронные аналоговые и цифровые измерительные приборы, применение АЦП

Микросхемы *АЦП* выполняют функцию, прямо противоположную функции *ЦАП*, — преобразуют входной аналоговый сигнал в последовательность цифровых кодов. В общем случае микросхему *АЦП* можно представить в виде блока, имеющего один аналоговый вход, один или два входа для подачи опорного (образцового) напряжения, а также цифровые выходы для выдачи кода, соответствующего текущему значению аналогового сигнала (рис. 13.13).

Часто микросхема *АЦП* имеет также вход для подачи тактового сигнала *CLK*, сигнал разрешения работы *CS* и сигнал, говорящий о готовности выходного цифрового кода *RDY*. На микросхему подается одно или два питающих напряжения и общий провод. В целом микросхемы *АЦП* сложнее, чем микросхемы *ЦАП*, их разнообразие заметно больше, и поэтому сформулировать для них общие принципы применения сложнее.

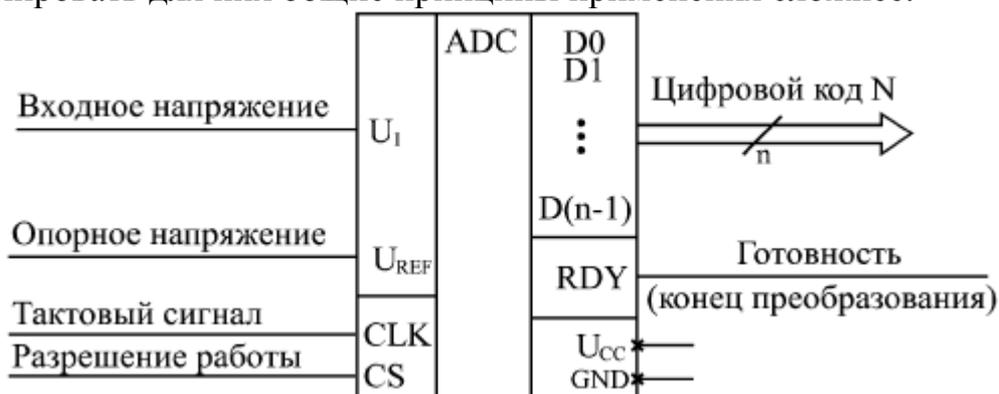


Рис. 13.13. Микросхема АЦП

Опорное напряжение АЦП задает диапазон входного напряжения, в котором производится преобразование. Оно может быть постоянным или же допускать изменение в некоторых пределах. Иногда предусматривается подача на *АЦП* двух опорных напряжений с разными знаками, тогда *АЦП* способен работать как с положительными, так и с отрицательными входными напряжениями.

Выходной цифровой код *N* (*n*-разрядный) однозначно соответствует уровню входного напряжения. Код может принимать 2^n значений, то есть *АЦП* может различать 2^n уровней входного напряжения. Количество разрядов выходного кода *n* представляет собой важнейшую характеристику *АЦП*. В момент готовности выходного кода выдается сигнал окончания преобразования *RDY*, по которому внешнее устройство может читать код *N*.

Управляется работа *АЦП* тактовым сигналом *CLK*, который задает частоту преобразования, то есть частоту выдачи выходных кодов.

Предельная тактовая частота — второй важнейший параметр *АЦП*. В некоторых микросхемах имеется встроенный генератор тактовых сигналов, поэтому к их выводам подключается кварцевый генератор или конденсатор, задающий частоту преобразования. Сигнал CS разрешает работу микросхемы.

Выпускается множество самых разнообразных микросхем *АЦП*, различающихся скоростью работы (частота преобразования от сотен килогерц до сотен мегагерц), разрядностью (от 6 до 24), допустимыми диапазонами входного сигнала, величинами погрешностей, уровнями питающих напряжений, методами выдачи выходного кода (параллельный или последовательный), другими параметрами. Обычно микросхемы с большим количеством разрядов имеют невысокое быстродействие, а наиболее быстродействующие микросхемы имеют небольшое число разрядов. Область применения любой микросхемы *АЦП* во многом определяется использованным в ней принципом преобразования, поэтому необходимо знать особенности этих принципов. Для выбора и использования *АЦП* необходимо пользоваться подробными справочными данными от фирмы-производителя.

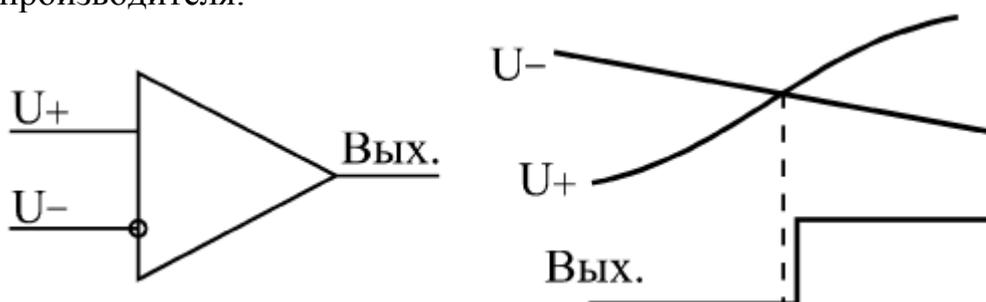


Рис. 13.14. Компаратор напряжения

В качестве базового элемента любого *АЦП* используется компаратор напряжения (рис. 13.14), который сравнивает два входных аналоговых напряжения и, в зависимости от результата сравнения, выдает выходной цифровой сигнал — нуль или единицу. Компаратор работает с большим диапазоном входных напряжений и имеет высокое быстродействие (задержка порядка единиц наносекунд).

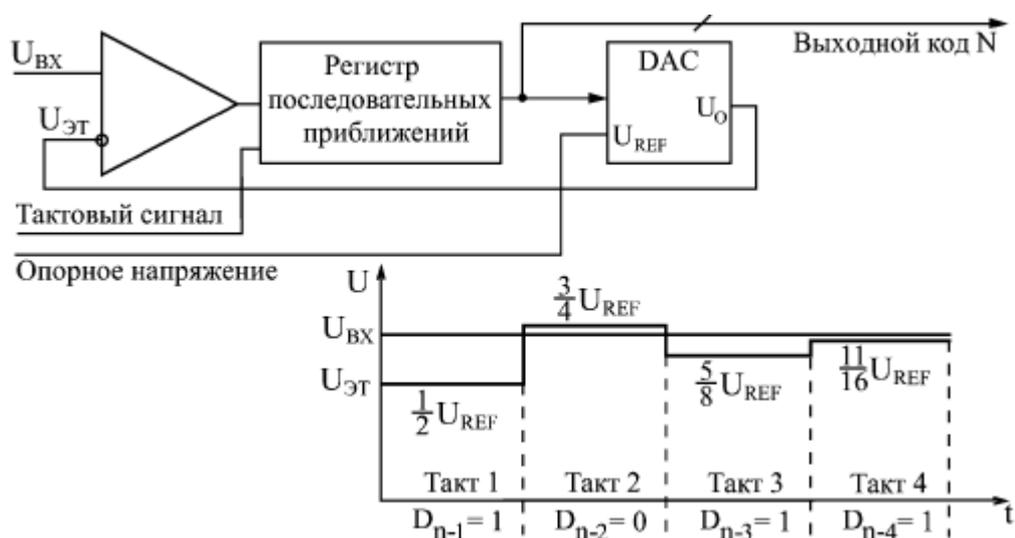


Рис. 13.15. АЦП последовательного типа

Существует два основных принципа построения АЦП: последовательный и параллельный.

В последовательном АЦП входное напряжение последовательно сравнивается одним единственным компаратором с несколькими эталонными уровнями напряжения, и в зависимости от результатов этого сравнения формируется выходной код. Наибольшее распространение получили АЦП на основе так называемого регистра последовательных приближений (рис. 13.15).

Входное напряжение подается на вход компаратора, на другой вход которого подается эталонное напряжение, ступенчато изменяющееся во времени. Выходной сигнал компаратора подается на вход регистра последовательных приближений, тактируемого внешним тактовым сигналом. Выходной код регистра последовательных приближений поступает на ЦАП, которое из опорного напряжения формирует меняющееся эталонное напряжение.

Регистр последовательных приближений работает так, что в зависимости от результата предыдущего сравнения выбирается следующий уровень эталонного напряжения по следующему алгоритму:

- В первом такте входной сигнал сравнивается с половиной опорного напряжения.
- Если входной сигнал меньше половины опорного напряжения, то на следующем такте он сравнивается с четвертью опорного напряжения (то есть половина опорного напряжения уменьшается на четверть). Одновременно в регистр последовательных приближений записывается старший разряд выходного кода, равный нулю.
- Если же входной сигнал больше половины опорного напряжения, то на втором такте он сравнивается с 3/4 опорного напряжения (то есть половина увеличивается на четверть). Одновременно в регистр последовательных приближений записывается старший разряд выходного кода, равный единице.

- Затем эта последовательность сравнений повторяется нужное число раз с уменьшением на каждом такте вдвое ступени изменения эталонного напряжения (на третьем такте — $1/8$ опорного напряжения, на четвертом — $1/16$ и т.д.). В результате *опорное напряжение* в каждом такте приближается к входному напряжению. Всего преобразование занимает n тактов. В последнем такте вычисляется младший разряд.

Понятно, что процесс этот довольно медленный, требует нескольких тактов, причем в течение каждого такта должны успеть сработать компаратор, регистр последовательных приближений и ЦАП с выходом по напряжению. Поэтому последовательные АЦП довольно медленные, имеют сравнительно большое время преобразования и малую частоту преобразования.

Второй тип АЦП — АЦП параллельного типа — работает по более простому принципу. Все разряды выходного кода вычисляются в них одновременно (параллельно), поэтому они гораздо быстрее, чем последовательные АЦП. Правда, они требуют применения большого количества компараторов ($2^n - 1$), что вызывает чисто технологические трудности при большом количестве разрядов (например, при 12-разрядном АЦП требуется 4095 компараторов).

Схема такого АЦП (рис. 13.16) включает в себя резистивный делитель из 2^n одинаковых резисторов, который делит *опорное напряжение* на $(2^n - 1)$ уровней.

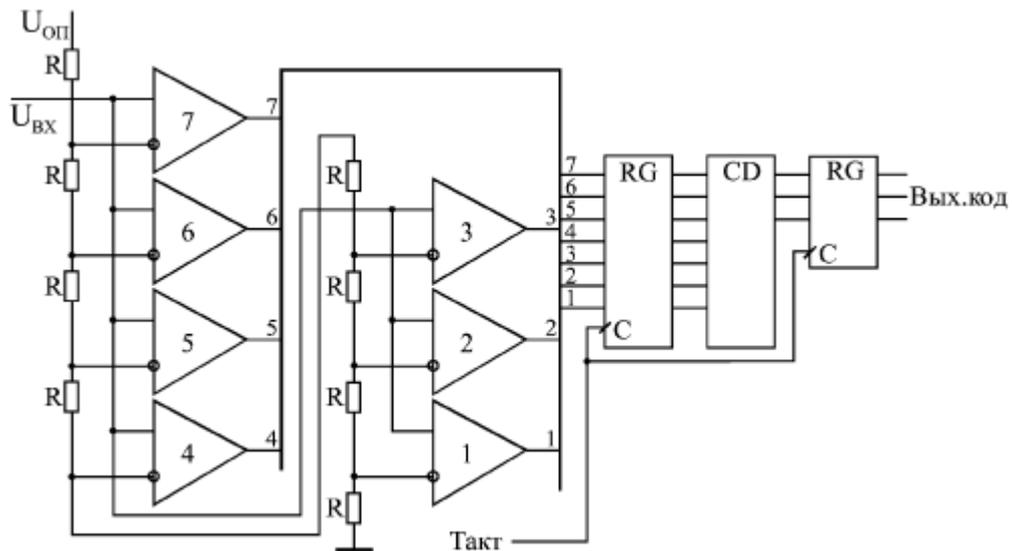


Рис. 13.16. 3-разрядный АЦП параллельного типа

Входное напряжение сравнивается с помощью компараторов с уровнями, формируемыми делителем напряжения. Выходные сигналы компараторов с помощью шифратора преобразуются в n -разрядный двоичный код. Шифратор выдает на выход номер последнего из сработавших (то есть выдавших сигнал логической единицы) компараторов. Например, в случае 3-разрядного АЦП (на рисунке) при величине входного напряжения от 0 до $1/8$ опорного напряжения выходной код будет 000, при входном напряжении от $1/8$ до $2/8$ опорного напряжения работает первый

компаратор, что даст выходной код 001, при входном напряжении от $2/8$ до $3/8$ опорного напряжения сработают компараторы 1 и 2, что даст выходной код 010, и т.д. Процесс преобразования происходит в параллельном АЦП очень быстро, поэтому частота преобразования может достигать сотен мегагерц.

Для повышения быстродействия в параллельном АЦП иногда применяется конвейерный принцип: выходной код компараторов записывается в (2^n-1) -разрядный параллельный регистр, показанный на рис. 13.16. Выходной код шифратора также записывается в n -разрядный параллельный регистр. Оба регистра в этом случае тактируются одним и тем же тактовым сигналом. Это снижает требования к быстродействию компараторов и шифратора. Правда, выходной код АЦП задерживается из-за таких регистров на два периода таковой частоты.

Громоздкость структуры параллельного АЦП приводит к тому, что в некоторых АЦП применяется смешанный параллельно-последовательный принцип. Это несколько снижает быстродействие подобного АЦП по сравнению с обычным параллельным АЦП, но зато позволяет получить большое число разрядов, не увеличивая количество компараторов до (2^n-1) .

Для того чтобы АЦП любого типа работал с использованием всех своих возможностей, необходимо обеспечить согласование диапазона изменения входного аналогового сигнала с допустимым диапазоном (динамическим диапазоном) входного напряжения АЦП.

На рис. 13.17 показано четыре возможных случая соотношения динамического диапазона АЦП (от 0 до U_{REF} или от U_{REF1} до U_{REF2}) и входного сигнала. В случаях а и б входной сигнал меньше динамического диапазона, поэтому АЦП будет работать правильно, но не будет использовать всех своих возможностей. В случае в входной сигнал слишком большой, поэтому часть его значений не будет преобразована. Только в случае г АЦП действительно будет работать как n -разрядный и будет преобразовывать все значения входного сигнала. Для согласования входного сигнала с динамическим диапазоном АЦП можно применять усилители, аттенюаторы, схемы сдвига. В некоторых случаях согласование может быть достигнуто простым выбором величин опорных напряжений.

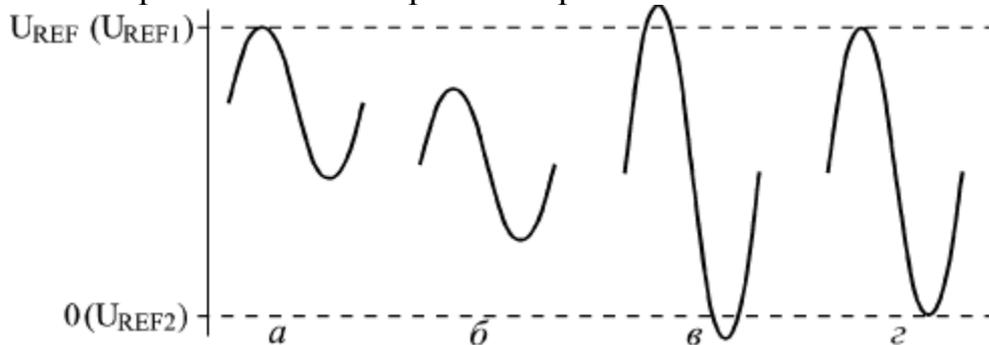


Рис. 13.17. Соотношение входного сигнала и динамического диапазона АЦП

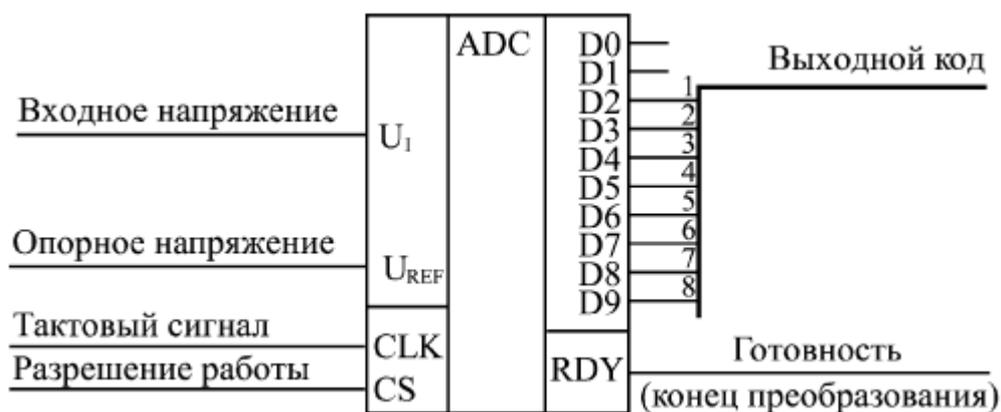


Рис. 13.18. Уменьшение количества разрядов выходного кода АЦП

Иногда бывает необходимо уменьшить количество разрядов АЦП. В этом случае нужное количество младших разрядов выходного кода микросхемы просто не используется. На рис. 13.18 показано использование 10-разрядного АЦП в качестве 8-разрядного.

Обратная задача — увеличение разрядности АЦП — встречается чаще. Существует ряд типичных схемотехнических решений по объединению нескольких микросхем АЦП для увеличения количества разрядов выходного кода, но большинство этих решений требует сложных расчетов результирующих погрешностей преобразования и применения аналоговых узлов. Мы не будем их здесь рассматривать. Отметим только, что при возникновении задачи увеличения разрядности надо прежде всего попытаться найти микросхему с нужным количеством разрядов, и только потом рассматривать возможности объединения нескольких микросхем АЦП.

Рассмотрим несколько типичных схем включения АЦП, используемых в аналого-цифровых системах.

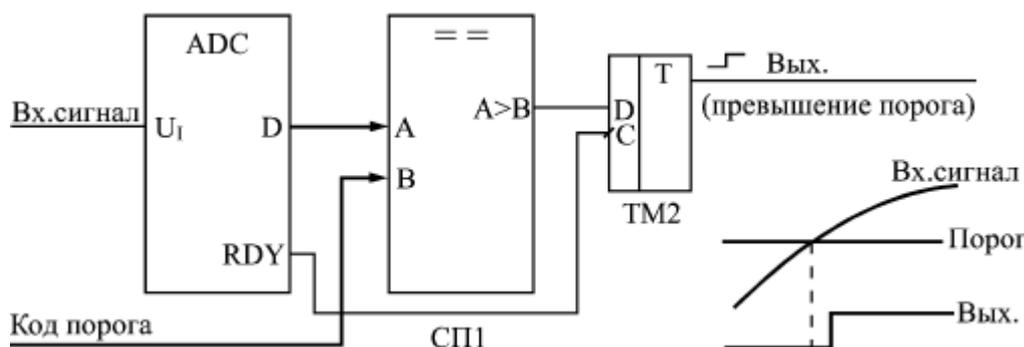


Рис. 13.19. Фиксатор превышения входным сигналом установленного порога

Первая схема (рис. 13.19) предназначена для фиксации момента превышения входным аналоговым сигналом заданного порогового напряжения. Схема вырабатывает выходной сигнал (положительный фронт) тогда, когда входной аналоговый сигнал становится больше установленного уровня, причем уровень этот задается цифровым кодом порога. Код порога сравнивается с выходными кодами АЦП с помощью микросхемы компаратора кодов. Выходной сигнал компаратора кодов записывается в

триггер по сигналу RDY с АЦП, что позволяет исключить влияние коротких импульсов, возникающих на выходе компаратора в момент изменения входных кодов. Применение этого триггера задерживает выходной сигнал на один такт.

Может показаться, что применение АЦП в данном случае не оправданно, избыточно. Но надо учитывать, что в аналого-цифровых системах АЦП, преобразующий входной сигнал в последовательность кодов, как правило, уже есть, поэтому дополнительного АЦП не требуется, достаточно только включить компаратор кодов и триггер.

Информационно-измерительная системы

Индикаторы

Во всех системах, где требуется представить информацию в форме, удобной для визуального восприятия человеком, применяются средства отображения информации (СОИ). Одной из основных частей СОИ является индикатор — электронный прибор для преобразования электрических сигналов в пространственное распределение яркости (контраста). Свойства и характеристики индикатора определяют важнейшие параметры СОИ — информационную емкость, надежность и др.

По виду отображаемой информации индикаторы подразделяют на единичные, цифровые, буквенно-цифровые, шкальные, мнемонические и графические. В качестве единичных сегодня, как правило, используются светодиоды зеленого, красного или желтого цвета свечения, поскольку они экономичны, долговечны и не требуют особой конструктивной привязки - припаянные к любой электронной плате двумя ножками, они уже готовы к работе. Ни один электронный прибор практически не обходится без таких индикаторов, если он выдает хотя бы информацию о включении своего питания.

Большим разнообразием отличаются цифровые, буквенно-цифровые и шкальные индикаторы. Назначение их ясно выражено в названиях. Различаются они конструктивным исполнением, размерами, принципом действия (газоразрядные, люминесцентные, светодиодные, жидкокристаллические). Наиболее распространены в настоящее время светодиодные и жидкокристаллические как самые экономичные. Люминесцентные обладают более ярким свечением.

Самыми типичными в этом классе являются одnorазрядные (при необходимости из них набираются индикаторы любой разрядности) семисегментные цифровые индикаторы, основанные, к примеру, на светодиодной линейке, но с характерным расположением излучателей - светодиоды выполнены в виде удлиненных кирпичиков, располагаемых в прямоугольном окошке в форме восьмерки - по два вертикально слева и справа, а горизонтально - в середине, сверху и снизу фигуры, что позволяет синтезировать любую цифру от 0 до 9.

Примерно так же выполняются шкальные индикаторы, только элементы размещаются бок о бок в линию, которую, как метрическую линейку, можно располагать по необходимости горизонтально или вертикально. Из таких шкал удобно собирать индикационную панель для наблюдения за значениями множества однотипных параметров.

Буквенно-цифровые индикаторы чаще строятся на основе матриц (например, тех же светодиодных, а не сегментных линеек, так как начертание

у букв более разнообразно, чем у цифр. Отдельные индикаторы (как правило, 5×7 элементов), собранные в линию или табло, позволяют создавать уже строки или странички текстов таблиц.

Мнемонические индикаторы выполняются как в форме отдельных символов (треугольник, квадрат, круг, прямоугольник), так и в виде табло с набором символов, знаков и схем, отображающих в условной и понятной для оператора форме отдельные технические узлы или состав машины в целом. Единичные индикаторы выполняются чаще на светодиодной основе, а табло - на люминесцентной или плазменной. В таких индикаторах один из двух электродов выполняется в форме изображаемого символа, а второй, прозрачный, перекрывает габаритную площадь фигуры или всего табло.

Графические индикаторы, как правило, используются в составных средствах отображения информации, представляя буквы, цифры, символы, графики и другие изображения без потери информации в местах стыковки. Предназначенные для работы в составе цифровых систем, они имеют обычно число элементов, согласованное с бинарной системой счисления (8×8 , 16×16 и др.) и создаются на базе светодиодных, жидкокристаллических или газоразрядных матриц.

При необходимости отображения больших массивов информации в качестве индикаторов применяются экраны и дисплеи различных конструкций и принципов действия.

Вакуумные люминесцентные индикаторы

Принцип действия ВЛИ основан на использовании явления люминесценции, возникающей в катодолуминофорах при возбуждении их электронным пучком. В отличие от высоковольтной катодолуминесценции, используемой в ЭЛП, в ВЛИ имеет место низковольтная люминесценция. Этим устраняется один из главных недостатков ЭЛП — высокое ускоряющее напряжение.

Катодолуминесценция возникает при достижении электронами вполне определенной энергии eUL , где UL — потенциал начала катодолуминесценции.

У большинства материалов, образующих группу высоковольтных катодолуминофоров, применяемых в ЭЛП, UL исчисляется сотнями вольт.

Более 40 лет назад был обнаружен ряд веществ, у которых потенциал начала катодолуминесценции составляет единицы вольт (для $ZnS = 6—7$ В, для $Zn, CdS = 4—5$ В). Однако отсутствие практической потребности в таких материалах долгие годы не стимулировало детального изучения низковольтной катодолуминесценции.

При длительной бомбардировке люминофора яркость его свечения изменяется, причем в этом процессе можно выделить три этапа: начальное изменение, этап стабильной яркости и этап выраженного старения.

Первый этап вызван установлением стационарного состояния поверхности люминофора. Критерием длительности второго этапа является

снижение яркости до 50—70% от начального значения. Яркость свечения на этом этапе уменьшается в связи с действием различных химических процессов в люминофоре, приводящих, в частности, к восстановлению ZnO до металлического Zn.

Факторы, обуславливающие этап выраженного старения, таковы: изменение поверхностных потенциальных барьеров и электропроводности слоя, химическое воздействие напыленных материалов, возникновение безызлучательных центров, поглощение излучения в почерневшем поверхностном слое люминофора. Особенно быстро чернеет поверхность люминофора при повышении температуры катода.

Вакуумные люминесцентные индикаторы выпускаются в цилиндрических и плоских баллонах. Первые бывают так одноразрядными, так и многоразрядными, вторые — только многоразрядными.

Основа одноразрядного ВЛИ — стеклянная или керамическая плата, на которой закреплены все остальные детали индикатора (рис. 1). В углублениях платы, выполненных в виде сегментов, находится проводящий слой, соединенный с контактами. Каждый сегмент имеет отдельный вывод. Проводящие слои сегментов полностью покрыты люминофором. На передней стороне платы в направлении считывания устанавливается плоский металлический электрод.

Отверстия в этом электроде расположены напротив соответствующих сегментов, покрытых люминофором. На небольшом расстоянии от экранирующего электрода натянута управляющая сетка. В свою очередь на малом расстоянии от плоскости сетки, примерно параллельно оси лампы, расположен прямоканальный оксидный катод. Вся эта система помещена в цилиндрическую стеклянную колбу, которая изнутри покрыта прозрачным проводящим слоем.

В исходном состоянии для надежного запирающего электронного тока и предотвращения нежелательного свечения люминофора к сетке прикладывается отрицательное напряжение смещения — несколько вольт по отношению к катоду.

При положительном напряжении на управляющей сетке электроны ускоряются в направлении анодных сегментов. Задача управляющей сетки состоит еще в том, чтобы обеспечивать возможно более равномерное распределение плотности потока электронов на поверхности анода индикатора. Экранирующий электрод имеет тот же потенциал, что и управляющая сетка. Электроны попадают на сегменты, имеющие в данный момент положительный потенциал; возникает низковольтная катодолюминесценция — нанесенный на анод сегмент люминофор начинает светиться. Яркость свечения в зависимости от применяемого люминофора достигает значений 300—700 кд/м² и более.

Кроме 7-сегментных плоских ВЛИ разработаны также 14-сегментные индикаторы — ВЛИ, знакоместо которого выполнено в виде точечной матрицы 5*7 или 7*12 элементов, матричные, аналоговые и цифро-аналоговые. Первые два типа индикаторов обеспечивают представление всех

букв, цифр и большого числа символов. Матричные ВЛИ состоят из большого числа светоизлучающих элементов. Такой индикатор позволяет отображать буквенно-цифровые сообщения, графики и даже несложные движущиеся изображения.

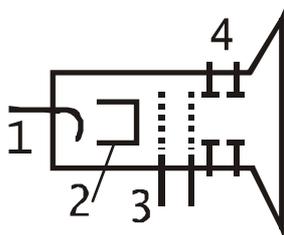
Обычно в матричном индикаторе одна сетка покрывает один столбец светоизлучательных элементов. Управление индикатором осуществляется по сеточным цепям. При работе яркость свечения не постоянна по площади, а снижается по краям поскольку на них попадает меньше электронов, чем на центральную часть элемента. В этом проявляется влияние соседних сеток, имеющих отрицательный потенциал.

Электронно–лучевые трубки. Принцип действия. Область применения.

Различают однолучевые и многолучевые, монохромные и цветные.

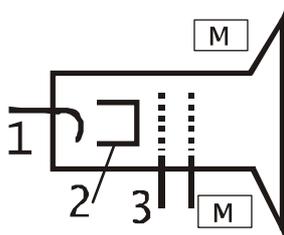
ЭЛТ с электростатическим управлением:

1. катод формирует электронный пучок
2. Управляющий электрод определяет интенсивность электронного пучка.
3. Ускоряющие и фокусирующие электроды, формируют узкий остро направленный электронный луч
4. Пластины отклонения, горизонтальные и вертикальные, определяют пространственное положение луча.



Электронно лучевая трубка с магнитным управлением. В этих трубках фокусировка и отклонение электронного луча осуществляется магнитным полем.

1. катод формирующий электронный пучок 2,3 – электроды осуществляют первичную фокусировку луча. Основное управляющее воздействие на луч оказывает фокусная катушка (М). На электронный пучок действует электромагнитное поле катушки и заставляет совершать вращательное движение вокруг оси трубки. Система с магнитным отклонением позволяет получить более мощный луч, отсюда более яркое свечение экрана и лучшее качество фокусировки. Из – за сложностей систем магнитного отклонения такие устройства применяются в системах радиолокации и навигации.



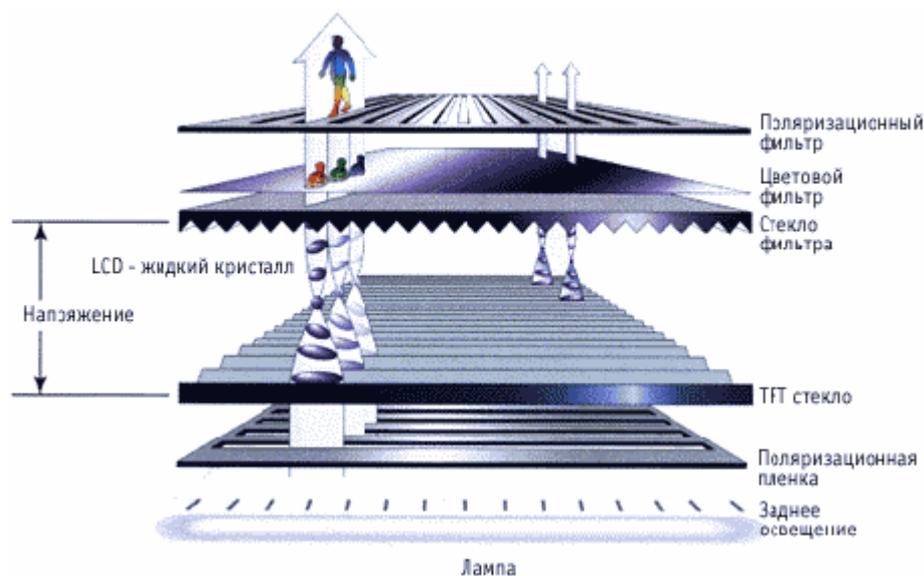
Многолучевые трубки: применяются для отображения нескольких одновременно протекающих процессов. Каждый луч формируется отдельным катодом и управляется независимыми отклоняющимися системами. Электроно-лучевые трубки применяются: в осциллографах, в телевизионных, буквенно цифровых и логических дисплеях.

Информационно-измерительная системы

Жидкокристаллические индикаторы, преимущества и недостатки.

Как ни странно, но жидкие кристаллы старше ЭЛТ почти на десять лет, первое описание этих веществ было сделано еще в 1888 году. Однако долгое время никто не знал, как их применить на практике: есть такие вещества и все, и никому, кроме физиков и химиков, они не были интересны. Итак, жидкокристаллические материалы были открыты еще в 1888 году австрийским ученым Ф. Ренитцером, но только в 1930-м исследователи из британской корпорации Marconi получили патент на их промышленное применение. Впрочем, дальше этого дело не пошло, поскольку технологическая база в то время была еще слишком слаба. Первый настоящий прорыв совершили ученые Фергесон (Ferguson) и Вильямс (Williams) из корпорации RCA (Radio Corporation of America). Один из них создал на базе жидких кристаллов термодатчик, используя их избирательный отражательный эффект, другой изучал воздействие электрического поля на нематические кристаллы. И вот, в конце 1966 года, корпорация RCA продемонстрировала прототип LCD — цифровые часы. Значительную роль в развитии LCD-технологии сыграла корпорация Sharp. Она и до сих пор находится в числе технологических лидеров. Первый в мире калькулятор CS10A был произведен в 1964 г. именно этой корпорацией. В октябре 1975-го уже по технологии TN LCD были изготовлены первые компактные цифровые часы. Во второй половине 70-х начался переход от восьмисегментных жидкокристаллических индикаторов к производству матриц с адресацией каждой точки. Так, в 1976 году Sharp выпустила черно-белый телевизор с диагональю экрана 5,5 дюйма, выполненного на базе LCD-матрицы разрешением 160x120 пикселей.

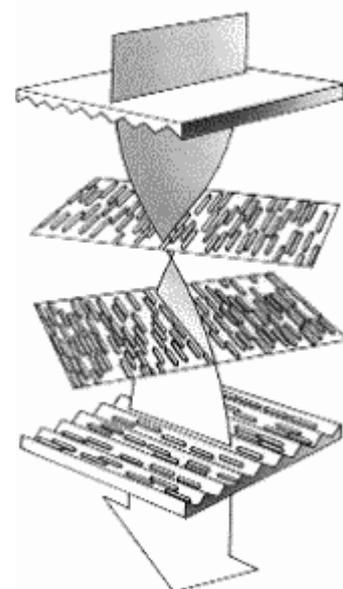
Работа ЖКД основана на явлении поляризации светового потока. Известно, что так называемые кристаллы-поляроиды способны пропускать только ту составляющую света, вектор электромагнитной индукции которой лежит в плоскости, параллельной оптической плоскости поляроида. Для оставшейся части светового потока поляроид будет непрозрачным. Таким образом поляроид как бы «просеивает» свет. Этот эффект называется поляризацией света. Когда были изучены жидкие вещества, длинные молекулы которых чувствительны к электростатическому и электромагнитному полю и способны поляризовать свет, появилась возможность управлять поляризацией. Эти аморфные вещества за их схожесть с кристаллическими веществами по электрооптическим свойствам, а также за способность принимать форму сосуда, назвали жидкими кристаллами



Конструкция ЖК дисплея

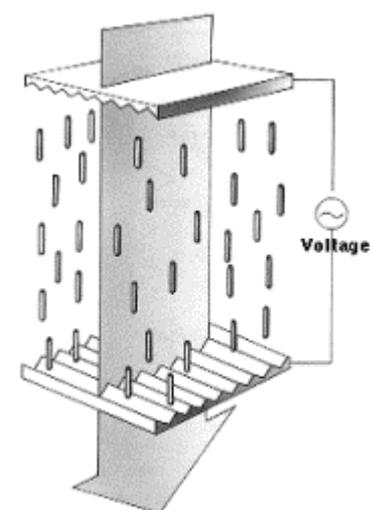
Экран LCD представляет собой массив маленьких сегментов, называемых пикселями, которыми можно манипулировать для отображения информации. LCD имеет несколько слоев, где ключевую роль играют две панели, сделанные из свободного от натрия и очень чистого стеклянного материала, называемого субстрат или подложка. Слои собственно и содержат тонкий слой жидких кристаллов между собой. На панелях имеются бороздки, которые направляют кристаллы, сообщая им специальную ориентацию. Бороздки расположены таким образом, что они параллельны на каждой панели, но перпендикулярны между двумя панелями. Продольные бороздки получаются в результате размещения на стеклянной поверхности тонких пленок из прозрачного пластика, который затем специальным образом обрабатывается. Соприкасаясь с бороздками, молекулы в жидких кристаллах ориентируются одинаково во всех ячейках. Молекулы одной из разновидностей жидких кристаллов (нематиков) при отсутствии напряжения поворачивают вектор электрического (и магнитного) поля в световой волне на некоторый угол в плоскости, перпендикулярной оси распространения пучка. Нанесение бороздок на поверхность стекла позволяет обеспечить одинаковый угол поворота плоскости поляризации для всех ячеек. Две панели расположены очень близко друг к другу.

Основываясь на этом открытии и в результате дальнейших исследований стало возможным обнаружить связь между повышением электрического напряжения и изменением ориентации молекул кристаллов для обеспечения создания изображения. Первое свое применение жидкие кристаллы нашли в дисплеях для калькуляторов и в электронных часах, а затем их стали использовать в мониторах для портативных компьютеров. Сегодня, в результате прогресса в этой области, начинают получать все большее распространение LCD для настольных компьютеров.



Плоскость поляризации.

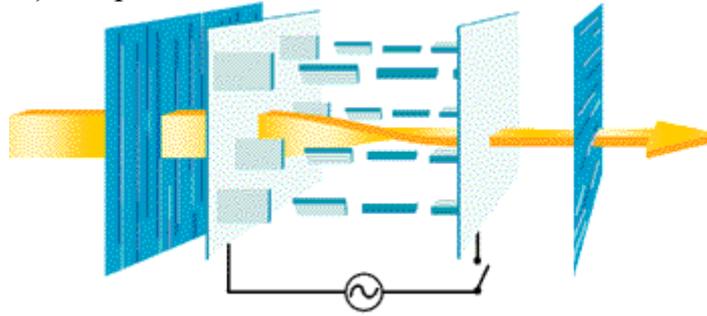
Жидкокристаллическая панель освещается источником света (в зависимости от того, где он расположен, жидкокристаллические панели работают на отражение или на прохождение света). Как видно на рисунке 2, плоскость поляризации светового луча поворачивается на 90° при прохождении одной панели. При появлении электрического поля, молекулы жидких кристаллов частично выстраиваются вертикально вдоль поля, угол поворота плоскости поляризации света становится отличным от 90 градусов и свет беспрепятственно проходит через жидкие кристаллы



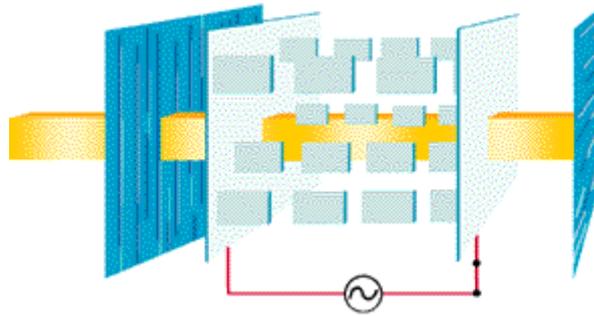
Плоскость поляризации.

Поворот плоскости поляризации светового луча незаметен для глаза, поэтому возникла необходимость добавить к стеклянным панелям еще два других слоя, представляющих собой поляризационные фильтры. Эти фильтры пропускают только ту компоненту светового пучка, у которой ось поляризации соответствует заданному. Поэтому при прохождении поляризатора пучок света будет ослаблен в зависимости от угла между его плоскостью поляризации и осью поляризатора. При отсутствии напряжения ячейка прозрачна, так как первый поляризатор пропускает только свет с соответствующим вектором поляризации. Благодаря жидким кристаллам вектор поляризации света поворачивается, и к моменту прохождения пучка ко второму поляризатору он уже повернут так, что проходит через второй поляризатор без проблем.

а) напряжения нет



б) напряжение есть



Поляризация светового луча.

В присутствии электрического поля поворота вектора поляризации происходит на меньший угол, тем самым второй поляризатор становится только частично прозрачным для излучения. Если разность потенциалов будет такой, что поворота плоскости поляризации в жидких кристаллах не произойдет совсем, то световой луч будет полностью поглощен вторым поляризатором, и экран при освещении сзади будет спереди казаться черным (лучи подсветки поглощаются в экране полностью) (см. рис. 4б). Если расположить большое число электродов, которые создают разные электрические поля в отдельных местах экрана (ячейки), то появится возможность при правильном управлении потенциалами этих электродов отображать на экране буквы и другие элементы изображения. Электроды помещаются в прозрачный пластик и могут принимать любую форму. Технологические новшества позволили ограничить их размеры величиной маленькой точки, соответственно на одной и той же площади экрана можно расположить большее число электродов, что увеличивает разрешение LCD-монитора, и позволяет нам отображать даже сложные изображения в цвете. Для вывода цветного изображения необходима подсветка монитора сзади, таким образом, чтобы свет исходил из задней части LCD. Это необходимо для того, чтобы можно было наблюдать изображение с хорошим качеством, даже если окружающая среда не является светлой. Цвет получается в результате использования трех фильтров, которые выделяют из излучения источника белого света три основные компоненты. Комбинируя три основных цвета для каждой точки или пикселя экрана, появляется возможность воспроизвести любой цвет.

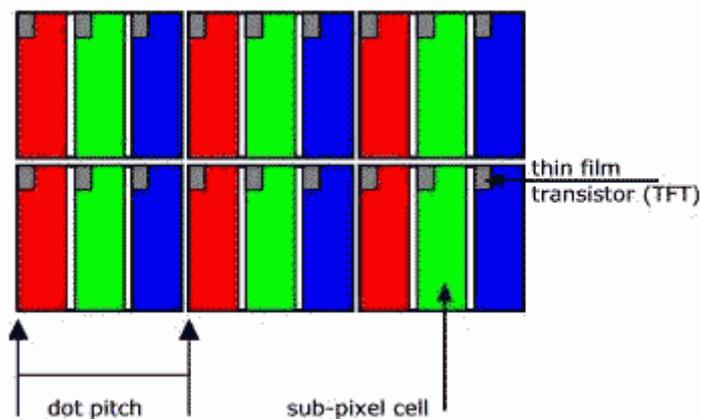
Вообще-то в случае с цветом несколько возможностей: можно сделать несколько фильтров друг за другом (приводит к малой доле проходящего

излучения), можно воспользоваться свойством жидкокристаллической ячейки - при изменении напряженности электрического поля угол поворота плоскости поляризации излучения изменяется по-разному для компонент света с разной длиной волны. Эту особенность можно использовать для того, чтобы отражать (или поглощать) излучение заданной длины волны (проблема состоит в необходимости точно и быстро изменять напряжение). Какой именно механизм используется, зависит от конкретного производителя. Первый метод проще, второй эффективнее.

Первые LCD были очень маленькими, около 8 дюймов по диагонали, в то время как сегодня они достигли 15-дюймовых размеров для использования в ноутбуках, а для настольных компьютеров производятся LCD с диагональю 20-дюймов и более. Вслед за увеличением размеров следует увеличение разрешения, следствием чего является появление новых проблем, которые были решены с помощью появившихся специальных технологий, все это мы опишем далее. Одной из первых проблем была необходимость стандарта в определении качества отображения при высоких разрешениях. Также лучших результатов с точки зрения стабильности, качества, разрешения, гладкости и яркости изображения можно добиться, используя экраны с активной матрицей. В активной матрице (active matrix) используются отдельные усилительные элементы для каждой ячейки экрана, компенсирующие влияние емкости ячеек и позволяющие значительно уменьшить время изменения их прозрачности. Активная матрица (active matrix) имеет массу преимуществ по сравнению с пассивной матрицей. Например, лучшая яркость и возможность смотреть на экран даже с отклонением до 45° и более (то есть при угле обзора $120\text{--}140^\circ$) без ущерба качеству изображения, что невозможно в случае с пассивной матрицей, которая позволяет видеть качественное изображение только с фронтальной позиции по отношению к экрану. Заметим, что дорогие модели LCD мониторов с активной матрицей обеспечивают угол обзора в 160° (см рис. 6), и есть все основания предполагать, что технология будет совершенствоваться и в дальнейшем. Активная матрица может отображать движущиеся изображения без видимого дрожания, так как время реакции дисплея с активной матрицей около 50 мс против 300 мс для пассивной матрицы, кроме того, контрастность мониторов с активной матрицей выше, чем у ЭЛТ-мониторов. Следует отметить, что яркость отдельного элемента экрана остается неизменной на всем интервале времени между обновлениями картинки, а не представляет собой короткий импульс света, излучаемый элементом люминофором ЭЛТ-монитора сразу после похождения по этому элементу электронного луча. Именно поэтому для LCD мониторов достаточной является частота вертикальной развертки, равная 60 Гц.

Функциональные возможности LCD-мониторов с активной матрицей почти такие же, как у дисплеев с пассивной матрицей. Разница заключается в матрице электродов, которая управляет ячейками жидких кристаллов дисплея. В случае с пассивной матрицей разные электроды получают электрический заряд циклическим методом при построочном обновлении

дисплея, а в результате разряда емкостей элементов изображение исчезает, так как кристаллы возвращаются к своей изначальной конфигурации. В случае с активной матрицей к каждому электроду добавлен запоминающий транзистор, который может хранить цифровую информацию (двоичные значения 0 или 1) и в результате изображение сохраняется до тех пор, пока не поступит другой сигнал. Частично проблема отсрочки затухания изображения в пассивных матрицах решается за счет использования большего числа жидкокристаллических слоев для увеличения пассивности и уменьшения перемещений, теперь же, при использовании активных матриц появилась возможность сократить число жидкокристаллических слоев. Запоминающие транзисторы должны производиться из прозрачных материалов, что позволит световому лучу проходить сквозь них, а значит, транзисторы можно располагать на тыльной части дисплея, на стеклянной панели, которая содержит жидкие кристаллы. Для этих целей используются пластиковые пленки, называемые Thin Film Transistor (или просто TFT). Thin Film Transistor (TFT), то есть тонкопленочный транзистор, это те управляющие элементы, при помощи которых контролируется каждый пиксель на экране. Тонкопленочный транзистор действительно очень тонкий, его толщина 0,1–0,01 мкм. В первых TFT-дисплеях, появившихся в 1972 году, использовался селенид кадмия, обладающий высокой подвижностью электронов и поддерживающий высокую плотность тока, но со временем был осуществлен переход на аморфный кремний (a-Si), а в матрицах с высоким разрешением используется поликристаллический кремний (p-Si). Технология создания TFT очень сложна, при этом имеются трудности с достижением приемлемого процента годных изделий из-за того, что число используемых транзисторов очень велико. Заметим, что монитор, который может отображать изображение с разрешением 800x600 пикселей в режиме SVGA и только с тремя цветами имеет 1440000 отдельных транзисторов. Производители устанавливают нормы на предельное количество транзисторов, которые могут быть нерабочими в LCD-панели. Правда, у каждого производителя свое мнение о том, какое количество транзисторов могут не работать. Пиксель на основе TFT устроен следующим образом: в стеклянной пластине друг за другом интегрировано три цветных фильтра (красный, зеленый и синий). Каждый пиксель представляет собой комбинацию трех цветных ячеек или субпиксельных элементов (см. рис. 7). Это означает, например, что у дисплея, имеющего разрешение 1280x1024, существует ровно 3840x1024 транзистора и субпиксельных элемента. Размер точки (пикселя) для 15,1-дюймового дисплея TFT (1024x768) приблизительно равен 0,0188 дюйма (или 0,3 мм), а для 18,1-дюймового дисплея TFT — около 0,011 дюйма (или 0,28 мм).



Конструкция TFT

TFT обладают рядом преимуществ перед ЭЛТ-мониторами, среди которых — пониженное потребление энергии и теплоотдача, плоский экран и отсутствие следа от движущихся объектов. Последние разработки позволяют получить изображение более высокого качества, чем обычные TFT.

Преимущества и недостатки ЖК-мониторов.

Среди преимуществ TFT можно отметить отличную фокусировку, отсутствие геометрических искажений и ошибок совмещения цветов. Кроме того, у них никогда не мерцает экран. Почему? Ответ прост — в этих дисплеях не используется электронный луч, рисующий слева направо каждую строку на экране. Когда в ЭЛТ этот луч переводится из правого нижнего в левый верхний угол, изображение на мгновение гаснет (обратный ход луча). Напротив, пиксели дисплея TFT никогда не гаснут, они просто непрерывно меняют интенсивность своего свечения. В таблице показаны все главные отличия рабочих характеристик для разных типов дисплеев

| Условные обозначения: (+) достоинство, (~) допустимо, (-) недостаток | | |
|--|---|---|
| | ЖК | ЭЛТ |
| Яркость | (+) от 170 до 250 кд/м ² | (~) от 80 до 120 кд/м ² |
| Контрастность | (~) от 200:1 до 400:1 | (+) от 350:1 до 700:1 |
| Угол обзора (по контрасту) | (~) от 110 до 170 градусов | (+) свыше 150 градусов |
| Угол обзора (по цвету) | (-) от 50 до 125 градусов | (~) свыше 120 градусов |
| Разрешение | (-) Одно разрешение с фиксированным размером пикселей. Оптимально можно использовать только в этом разрешении; в зависимости от | (+) Поддерживаются различные разрешения. При всех поддерживаемых разрешениях монитор можно использовать |

| | | |
|---|--|---|
| | поддерживаемых функций расширения или компрессии можно использовать более высокое или более низкое разрешение, но они не оптимальны. | оптимальным образом. Ограничение накладываемое только приемлемостью частоты регенерации. |
| Частота вертикальной развертки | (+) Оптимальная частота 60 Гц, чего достаточно для отсутствия мерцания | (~) Только при частотах выше 75 Гц отсутствует явно заметное мерцание |
| Ошибки совмещения цветов | (+) нет | (~) от 0.0079 до 0.0118 дюйма (0.20 - 0.30 мм) |
| Фокусировка | (+) абсолютная | (~) от удовлетворительной до очень хорошей> |
| Геометрические/линейные искажения | (+) нет | (~) возможны |
| Неработающие пиксели | (-) до 8 | (+) нет |
| Входной сигнал | (+) аналоговый или цифровой | (~) только аналоговый |
| Масштабирование при разных разрешениях | (-) отсутствует или используются методы интерполяции, не требующие больших накладных расходов | (+) очень хорошее |
| Точность отображения цвета | (~) Поддерживается True Color и имитируется требуемая цветовая температура | (+) Поддерживается True Color и при этом на рынке имеется масса устройств калибровки цвета, что является несомненным плюсом |
| Гамма-коррекция (подстройка цвета под особенности человеческого зрения) | (~) удовлетворительная | (+) фотореалистичная |
| Однородность | (~) часто изображение ярче по краям | (~) часто изображение ярче в центре |
| Чистота цвета/качество цвета | (~) хорошее | (+) высокое |
| Мерцание | (+) нет | (~) незаметно на частоте выше 85 Гц |
| Время инерции | (-) от 20 до 30 мс | (+) пренебрежительно мало |

| | | |
|-------------------------------|--|---|
| Формирование изображения | (+) Изображение формируется пикселями, число которых зависят только от конкретного разрешения LCD-панели. Шаг пикселей зависит только от размера самих пикселей, но не от расстояния между ними. Каждый пиксель формируется индивидуально, что обеспечивает великолепную фокусировку, ясность и четкость. Изображение получается более целостным и гладким | (~) Пиксели формируются группой точек (триады) или полосок. Шаг точки или линии зависит от расстояния между точками или линиями одного цвета. В результате четкость и ясность изображения сильно зависит от размера шага точки или шага линии и от качества ЭЛТ |
| Энергопотребление и излучения | (+) Практически никаких опасных электромагнитных излучений нет. Уровень потребления энергии примерно на 70% ниже, чем у стандартных CRT мониторов (от 25 до 40 Вт). | (-) Всегда присутствует электромагнитное излучение, однако их уровень зависит от того, соответствует ли ЭЛТ какому-либо стандарту безопасности. Потребление энергии в рабочем состоянии на уровне 60–150 Вт. |
| Размеры/вес | (+) компактный, уплощенный дизайн, малый вес | (-) тяжелая конструкция, занимает много места |
| Интерфейс монитора | (+) Цифровой интерфейс, однако, большинство LCD мониторов имеют встроенный аналоговый интерфейс для подключения к наиболее распространенным аналоговым выходам видеоадаптеров | (-) Аналоговый интерфейс |

Отсюда следует, что дальнейшее развитие ЖК-мониторов будет связано с повышением четкости и яркости изображения, увеличением угла обзора и уменьшением толщины экрана. Так, например, уже существуют перспективные разработки LCD-мониторов, выполненных по технологии с использованием поликристаллического кремния. Это позволяет, в частности,

создавать очень тонкие устройства, поскольку микросхемы управления размещаются в этом случае непосредственно на стеклянной подложке дисплея. Кроме того, новая технология обеспечивает высокую разрешающую способность на сравнительно небольшом по размеру экране (1024x768 точек на 10,4-дюймовом экране).

Плазменные панели.

Принцип работы любого плазменного экрана (PDP — Plasma Display Panel) состоит в управляемом холодном разряде разряженного газа (как правило, используется ксенон или неон), находящегося в ионизированном состоянии. Все это носит название "холодная плазма" — отсюда и взялось и название.

В плазменном мониторе для формирования цвета каждой отдельно взятой точки используется комбинация из трех субпикселей, каждый из которых отвечает за один из трех основных цветов RGB (Red Green Blue — Красный, Зеленый, Голубой). Ячейки находятся между двумя стеклами, расстояние между которыми 0,1 мм (100 микрон). Во время подачи электрического импульса на электроды часть заряженных ионов начинают излучать кванты света в ультрафиолетовом диапазоне. Диапазон излучения, в большинстве случаев, зависит от применяемого газа, в каждой конкретной модели.

Ультрафиолетовые лучи действуют на специальное флюоресцирующее покрытие, которое в свою очередь излучает свет, видимый человеческим глазом. Кстати, ультрафиолетовые лучи очень опасны для глаз человека, но в данном случае бояться нечего — до 97% вредного излучения поглощает наружное стекло. Яркость и насыщенность цветов можно регулировать простым изменением величины управляющего напряжения: чем оно больше, тем больше квантов света выделяет газ, тем сильнее светится флюоресцирующая пленка, тем ярче мы получаем картинку на экране.

Под ресурсом работы плазменной панели или телевизора понимают не время выхода из строя плазмы, а предположительный срок потери первоначальной яркости изображения. Но, несмотря на кажущееся значение этого показателя, не стоит особенно останавливаться на нем, поскольку имеет значение также и ресурс той начинки (электронной и технической), которую плазменная панель имеет в большом количестве. И каждый из этих элементов имеет свой «срок годности».

Диагональ

По этому показателю плазму условно делят на три основные категории — с размером диагонали меньше 40 дюймов, с диагональю 41 – 49 дюймов и 50 и более дюймов. Если для 42 дюймов оптимальная дистанция просмотра - 3 метра, то для 50 дюймов – уже 4 метра и т.д. Ближе в глазах начинает рябить, изображение «рассыпается».

Контрастность и яркость

Второй важный момент - контрастность и яркость. Нестандартизованность методики определения контрастности и яркости не позволяет сравнивать реальные значения. В характеристики модели записываются, как правило, максимально возможные, или пиковые, показатели контрастности и яркости. А, следовательно, их стоит просто принять во внимание, не руководствуясь этими цифрами как первостепенными. Как бы там ни было чем выше значения контрастности и яркости, тем лучше для плазменной панели и соответственно тем более насыщенной и яркой является воспроизводимая картинка. Значения яркости плазменных панелей лежит в диапазоне от 450-500 кд/ кв. м в сравнительно недорогих 42- и 50-дюймовых стоимостью менее 2 и 4,5 тыс. долл. до 1400-1500 кд/кв. м в более продвинутых моделях.

Разрешение экрана

Что же касается разрешения, то этот показатель непосредственно влияет на количество пикселей на экране и, соответственно, на «фактуру» изображения: чем выше разрешение, тем больше пикселей, и, соответственно, тем более однородным будет изображение. Для диагонали 42 дюйма разрешение составляет 852 x 480 точек для недорогих моделей и 1024 x 768 для более продвинутых. Однако картинка даже с крупным разрешением может выглядеть далеко не идеально, и наоборот, плазменная панель с относительно небольшим разрешением может демонстрировать превосходное изображение.

Метод формирования изображения

Также нужно обратить внимание на метод формирования изображения.

Существуют два основных метода построения изображения на экране ТВ-устройства: чересстрочный и прогрессивный. В отличие от первого метода – чересстрочной развертки (interlace), используемой в традиционных кинескопных телевизорах, прогрессивная развертка (progressive scan) предполагает такое формирование выводимого на экран телевизора или панели видеоизображения, при котором каждая строка изображения передается одна за другой. Грубо говоря, фактически аппаратура с прогрессивной разверткой способна воспроизводить в два раза больше строчек в кадре. А следовательно, изображение становится более четким, исчезают эффекты дрожания тонких горизонтальных линий, гребенки при горизонтальном перемещении объектов, мерцающий эффект при передаче статических изображений.

Дополнительные отличия

Естественно, помимо названных выше параметров, панели отличаются друг от друга еще целым рядом функций и возможностей. Например, наличием антистатического покрытия - специального покрытия дисплея плазменной панели, защищающего его от возникновения электростатического заряда, который притягивает пыль и, значит, неблагоприятно воздействует на здоровье человека. Также может присутствовать и антибликовое покрытие, уменьшающее отражение внешнего света от стеклянной поверхности плазменного экрана

Информационно-измерительная системы.

Измерительные приборы в электронике.

Измерение - это процесс нахождения физических величин, параметров, характеристики опытным путем с помощью средства измерения. Найденное значение называют – результатом измерения. Измерения по средствам измерительного устройства заключается в сравнении измерительной величины с ее однородной физической величиной принятой за единицу измерения. Результат выражается числом. Измерение проводится двумя методами:

1) Метод непосредственной оценки. Метод измерения, при котором значение измеренной величины определяет непосредственно по отчетному устройству измерительного прибора предварительного проградуированного по мере. Т.е. при измерении использования прибора непосредственной оценки меры участия не принимает, а передается через предварительно проградуированную оценку.

2) Метод сравнения с мерой. Метод измерения, при котором сравниваются с однородной величиной воспроизводимой мерой, размер которой известен и который определяет результат измерения.

Технические средства измерения, имеющие нормированные метрологические характеристики, оказывающие определенное влияние на результаты и погрешности измерений – называют средством измерения. В зависимости от назначения средство измерения делится на 3 вида:

а) Мера – средство измерения предназначенная для воспроизведения физической величины данного вида.

б) Измерительный прибор – средство измерения вырабатывающий сигнал измерительной информации в форме доступной для восприятия.

в) Измерительный преобразователь – средство измерения вырабатывающий сигнал измерительной информации в форме удобной для передачи дальнейшего преобразования обработки по не подающимся непосредственному восприятию. К ним относятся: усилители, входные и выходные делители, измерительные трансформаторы. Как правило по своему устройству представляет совокупность измерительных преобразователей называемыми измерительной цепью и вспомогательными средствами измерения (источник питания и т.д.). Измерительные преобразователи, осуществляющие преобразование электрических величин в механическое перемещение – электромеханические, а измерительные приборы построенные на них – электромеханические измерительные приборы.

Согласно механическим функциям они делятся на:

1) эталон средства измерения, обеспечивающие воспроизведение и хранение единицы измерения и официально утвержденные в качестве

эталона. Они бывают: первичные (общий, мировой), косвенный, эталон-копия (общий, мировой и косвенный), эталон сравнения, рабочий эталон.

2) образцовое средство измерения – это мера или измерительный прибор, служащий для проверки по ним других средств измерения и утвержденные официально в качестве образцовых.

3) рабочее средство измерения.

В зависимости от того, как получается результат измерения, непосредственно в процессе измерения или путем последующих подсчетов различают 2 метода измерения:

Прямое измерение – это измерение, при котором искомое значение величины находят из опытных данных (измерение тока и т.д.).

Косвенное измерение – это измерение когда измеряется не сама величина, а величина функционально связанная с ней, по значению которой и известной функциональной зависимости определяется измеряемая величина.

$$P=U*I*\cos\alpha$$

Измерительные генераторы сигналов.

Необходимы в качестве источника сигналов самых разнообразных форм и частот при испытаниях и измерениях в различных радиоэлектронных схем, т.е. используется в качестве меры. Измерительные генераторы сигналов отличаются от обычных генераторов сигналов возможностью установки и регулировки в широких пределах своих выходных параметров (частоты, формы, уровня выходного сигнала), их высокой стабильностью, а также наличие измерительных приборов контролирующими объединение параметров измерительных сигналов. Обобщенная схема измерительного генератора сигналов:

Задающий генератор – определяет характеристику генератора.

Усилитель усиливает сигнал задающего генератора до необходимой величины и обеспечивает развязку задающего генератора от нагрузки, т.е. зависимость частоты и напряжения от изменения нагрузки. Часто схемой усилителя обеспечивается регулируемый выходной сигнал.

Выходное устройство предназначено для регулировки $U_{вых}$ и согласования сопротивления внешней нагрузки с выхода усилителя. Выполнение последнего условия важно для получения стабильного выходного сигнала до уровня в широком диапазоне перестройки по частоте и получение максимальных нелинейных искажений.

В общем случае генератором – называется эл. схема формирующая переменное напряжение требуемой формы. Простейшим методом формирования гармонических колебаний является метод компенсации потерь в LC контуре. Если в моменте “токов” замыкать ключ т.е. добавлять (компенсировать потери энергии), то возникнут затухающие сигналы с частотой собственного резонансного контура:

$$f = 1 / 2\pi \sqrt{L*C}$$

Момент замыкания должен совпадать с “током”, совпадать по фазе, эту компенсацию можно осуществлять подавая в определенный момент на

контур через некоторую схему выходное напряжение, которое снимается с контура (замкнуть обратной связью).

Классификация измерительных приборов

1) Генераторы низкочастотные ГЗ: диапазон 20Гц-200кГц, бывают 10Гц –1мГц

2) Генераторы высокочастотные ГЧ: диапазон 30кГц-300мГц. Они имеют коаксиальный выход и диапазон выше 10гГц с волноводным выходом.

НЧ генераторы как правило являются источником не модулированных гармонических колебаний. ВЧ генераторы являются источниками как не модулированных так и модулированных по амплитуде (АМ) и/или по частоте (ЧМ) гармонических колебаний.

Существуют также специальные генераторы с фазной, импульсной и частотной модуляцией.

3) Генераторы импульсов Г5 являются источником одиночных и/или периодических импульсов прямоугольной формы.

4) Генераторы специальной формы Г6

5) Генераторы качающей частоты Г8 (свип-генераторы)

Источники гармонических сигналов частота которых автоматически изменяется в пределах установленной полосы частот.

6) генераторы шума Г2 основными параметрами изменения генераторов служит предел допускания основной погрешности:

- установки частоты
- установки уровня выходного напряжения
- установки коэффициента модуляции
- установки длительности импульса и установка скважности импульсной последовательности

Обозначение класса измерения генератора состоит из условного обозначения и точности по ним: P=1%; U=5%; АМ=10%;

P1U5AM10

Низкочастотные изменяющиеся генераторы.

В зависимости от схемы задающего генератора различают 3 типа:

- ЛЦ генераторы
- Генераторы на биение
- РЦ генераторы

ЛЦ генератор: их задающий генератор выполняется с самовозбуждением резонансного контура в цепи обратной связи. Частота колебаний определяется параметрами контура:

$$f = 1 / 2\pi \sqrt{L * C}$$

Изменять частоту генерации можно путем изменения L и C.

Недостаток: большие габариты L и C в области низких частот. При частоте 20Гц, емкость равна C= 1000мФ, необходима индуктивность L = 63600Гн.

ЭИП для измерения тока, напряжения и мощности.

- Электромеханические (аналоговые)
- Электронные (аналоговые и цифровые)

По исполняемым функциям делятся на:

- Для измерения одного параметра
- Многофункциональные (тестер)

По диапазону измерения:

- Однопредельные
- Многопредельные

По роду тока:

- Постоянные
- Переменные
- Комбинированные

Электромеханические ЭИ состоят из:

- 1) Электромеханического преобразователя
- 2) Эл. измерительного преобразователя
- 3) Отсчетного регистрирующего устройства

Электромеханические преобразователи (измерительные механизмы) используются в аналоговом ЭИ, которые непрерывную эл. величину (ток, напряжение, мощность) преобразуют в механическое перемещение указателя по известной функции преобразования. Воздействие магнитного поля постоянного магнита на катушку и измеряемым током разделяет механический крутящий момент F пропорциональный току:

$A = 1/W * d\Psi_m/d\alpha * I$, где I – измеренный ток, его среднее значение; Ψ_m – ток сцепления катушки; w – жесткость крутизны.

Максимальная чувствительность $1,5 * 10^7$ рад/А, минимальный предел входной величины 10-7А. Падение напряжения таких приборов от 0,01 до 0,1В. По измеренной катушки проходит ток, который создает магнитное поле. На подвижной системе закреплен стальной сердечник его взаимодействие с магнитным полем создает F_m пропорционален току I :

$L = 1/2 W * dl/da * I^2$. Измеряемое значение тока действующего: диапазон частот от 40Гц до 8кГц, максимальная чувствительность $1,5 * 10^2$ рад/А, минимальный предел 10-2А, падение напряжения от 0,5 до 1,5В, класс точности 0,5.

Информационно-измерительная системы.

измерительные приборы, Осциллографы, вольтметры, частотомеры

Электродинамическая система.

Имеется 2 катушки, одна закреплена неподвижно, а вторая на оси вместе с указателем. Механический момент в системе от взаимодействия токов протекающих по этим катушкам. Он пропорционален произведению токов. Род тока: постоянный и переменный, измеренное значение – действующее, диапазон частот переменного тока от 40Гц до 20кГц, падение напряжения от 0,7 до 2В, класс точности 0,5. Вывод: в выше описанных электромеханических преобразователях подвижная система поворачивается до тех пор, пока не наступит равновесие между крутящим моментом и силой механического сопротивления скручивания пружины. Индукционная система дана на рисунке: I_1 , I_2 – переменные токи. Система катушки создает бегущее магнитное поле, которая индуцирует вихревые токи в алюминиевом диске. Взаимодействие индуцированного тока с бегущим магнитным полем вызывает мех. момент M . Используется в цепях переменного тока на частоте 50Гц, класс точности 0,5.

Электростатическая система.

Электростатическая система представлена на рисунке. Преобразователь состоит из 2 электродов которые образуют конденсатор. К электродам подводится напряжение под действием которого оно заряжается, возникает сила взаимодействия, угол отклонения является напряжением между электродами: $\alpha = 1 / 2W \cdot dc / dl \cdot V^2$. класс точности 0,05, чувствительность 0,15 рад/А.

Электронные измерительные преобразователи электромеханических измерительных приборов:

- Предназначены для расширения диапазона измерения входной величины т.е. преобразование в другую более удобную.
- Они могут использоваться самостоятельно или в составе с ЭРП. Для расширения пределов измерений подключают параллельно резистор. Для расширения пределов измерителя подключают последовательно.

Особенности измерения постоянного тока и напряжения.

Т. к. измеритель тока включается в цепь последовательно это приводит к увеличению сопротивляемости цепи и изменению тока в ней:

$\Delta I = I_a - I_g / I_g \cdot 100\%$. Прибор будет мало влиять на режим цепи.

Особенности измерения постоянных напряжений.

При измерении напряжений измеритель подключается параллельно. Это приводит к уменьшению сопротивления. Погрешность будет равняться $\Delta U = U_v - U_g / U_g \cdot 100\%$. Прибор будет влиять на работу цепи при условии $R_v \gg R_{изм}$.

Выпрямительные преобразователи.

Данные преобразователи используются в эл. измерительных приборах для преобразования переменного тока в постоянный. Большая часть стрелочных приборов – магнито электрическая. В каждом выпрямителе используются п/п диоды (диодный мост).

ЭИП термо – электрической системы.

Измерение на частотах применяется термо-преобразователи преобразующие ток высокой частоты в постоянную ЭДС которая измеряется прибором постоянного тока $E_T = K \cdot I_2$.

Аналоговые электронные вольтметры.

Применяются для измерения как постоянного так и переменного в широком диапазоне значений от десятков до сотен Вольт, в широком диапазоне рабочих частот единиц до десятков ГГц. Обладают высокой чувствительностью, большим входным сопротивлением и широким пределом измерений. Основная особенность аналогового вольтметра состоит в активной схеме усилителя разделяющей цепь, в которой производится измерение от цепи измерительного прибора, что устраняет его нагрузочное воздействие на измеряемую цепь. Структурная схема эл. аналогового вольтметра представлена на рисунке: Входное устройство состоит из аттенюатора высокочастотного усилителя. УПТ должен обладать:

Большим входным сопротивлением, чтобы устранить его влияние на аттенюатор

Высокой линейностью амплитудной характеристики, для обеспечения постоянства коэффициента измерения на всех диапазонах измерения

Малым дрейфом нуля, для обеспечения требования:

1. входные каскады УПТ выполняются по схеме ОЭ на биполярных транзисторах, либо по ОИ на полевых транзисторах
2. УПТ выполняется по схеме ООС
3. УПТ выполняют либо на мостовой балансной схеме либо по балансной схеме дифференциального усилителя

Детектор.

Важнейший узел эл. вольтметра. Преобразует входное напряжение переменного тока в постоянный. Схема детектора представлена на рисунке: В момент t_1 происходит заряд конденсатора т.к. U_c разряд идет по цепи t_1 и t_2 . в момент t_2 конденсатор получит новую порцию заряда и т.д. Если обеспечивать условие $T_p \gg T_x$, где T_x период измеряемого разряда то за интервалы t_3, t_4 конденсатор сильно не разрядится и через 2-3 периода среднее значение на емкости $U_{cp} \approx U_{вх} m$

Сумма R_1 и $R_2 = 100 \text{ мОм}$, а их соотношение выбирается так, чтобы на вход УПТ поступала $0,707 U_{вх} = U_{вх} \text{ ср}$ Это обеспечивает использование в качестве измерителя магнито стрелочный прибор с равномерной линейной шкалой. Основным недостатком детектора является нелинейность начального участка ВАХ диода. Поэтому для измерения $U_{вх}$ меньше $\frac{1}{2}$ вольта измеряемое значение усиливают с помощью усилителя переменного тока до уровня линейного детектирования. В таких приборах полоса частот

ограничена полосой пропускания этого усилителя. Для измерения высокой частоты применяют пиковый детектор в виде выносной головки со специальным ВЧ диапазоном имеющим линейный ВАХ на малом уровне. Если на вход выше описанного детектора подавать импульсное напряжение, то вольтметр постоянного тока к выходу такого детектора зафиксирует амплитудное значение импульса. Если T_i будет большим то конденсатор успеет значительно разрядиться и среднее значение на емкости будет отличаться от пикового значения. Если измерять очень короткие импульсы, то конденсатор не будет до конца заряжаться, также будет отличаться от пикового значения. Т.о. для расширения диапазона измерения вольтметром по скажности. В таких детекторах используются емкостные аттюнаторы, переключаемые делители емкостей.

Электронные цифровые вольтметры.

В ЦЭВ результат измерения представлен в цифровом значении, что позволяет как точность так и скорость измерения. Кроме того позволяет автоматизировать процесс измерения и вводить результат измерения в вычислительное устройство. Основной узел ЦЭВ – это аналоговый цифровой преобразователь, который преобразует аналоговый сигнал в последовательность импульсов, число которых пропорционально значению измеряемого напряжения. Последовательность импульсов переводится в десятичное число отображаемое на дисплее вольтметра.

Типы АЦП:

- ЭЦВ с время импульсным преобразованием
- ЭЦВ с двойным интегрированием
- ЭЦВ с преобразованием по методу взвешивания (последовательного приближения)
- ЭЦВ с преобразованием входного напряжения в частоту.

ЭЦВ с время импульсным преобразованием.

Представлена на рисунке и графике. За время Δt на счетчик импульсов проходит m импульсов, тогда обычно n выбирается как 10^n , $n=0, \pm 1, \pm 2$, тогда $U_x = m \cdot 10^n$.

Погрешность измерения составляет $\pm 1, \pm 2$ младшего разряда счета.

Эл. стрелочные измерители частоты.

Измерение частоты осуществляется путем измерения среднего тока разряда конденсатором при периодическом его разряде от стабильного источника постоянного тока: заряд $q=C \cdot U_1$, разряд $q=C(U_1-U_2)$,

$$I_{cp} = gp \cdot f_x = C(U_1-U_2) f_x = A \cdot f_x$$

Генераторы на биения.

Частота f_2 изменяется в таких пределах, чтобы разностная частота на выходе смесителя попала в диапазон НЧ возможность плавной перестройки т.е. не требуется переключение диапазонов. Это при автоматической

перестройки позволяет автоматизировать снятие амплитудной характеристики. По такой схеме сделаны генераторы ГЗ-104, ГЗ-18, ГЗ-5.

RC-генератор строится по ранее описанной схеме, в которой в цепи ПОС между резонансного контура устанавливается пассивный полосовой RC-фильтр, представленный на рисунке:

$$f = 1 / 2\pi\sqrt{R_1 * R_2 * C_1 C_2}; R_1 = R_2 = R; C_1 = C_2 = C; f = 1 / 2\pi * R * C.$$

Поэтому для выполнения условия баланса амплитуд необходимо, чтобы $A=3$. для выполнения баланса фаз необходимо, чтобы фазовый сдвиг усилителя был равен $\alpha=2\pi$, т.к. фазовый сдвиг $\beta=0$. Это обеспечивается двухкаскадным усилителем. На практике применяют усилители с коэффициентом усиления больше 3, но вводят ООС, снимающую коэффициент усиления до 3. Для настройки по частоте устанавливают несколько параллельных резисторов и переключатель. Чем обеспечивают перекрытие по всему НЧ диапазону путем разбивки его на поддиапазоны. Обычно пару резисторов подбирают так, чтобы частота изменялась в 10 раз, а в пределах каждого поддиапазона перестройка частоты обеспечивалась переменным конденсатором. Следует отметить, что цепь ООС выполняет и другую функцию – автоматически поддерживает уровень выходного напряжения задающего генератора, неизменно, т.е. автоматически поддерживает баланс амплитуд.

Высококачественные измерительные генераторы.

Как правило задающий генератор строится по схеме RC-генератор. Перестройка на частоты осуществляется: в пределах поддиапазона изменения емкости конденсатора колебательного контура, а переключение диапазонов – смена катушек индуктивности контура. Схема задающего генератора представлена на рисунке: Амплитудную модуляцию осуществляют подачей низкочастотного синусоидального сигнала обычно 1000 или 400Гц от внутреннего генератора на усилитель-модулятор. Частотная модуляция осуществляется путем подачи низкочастотного синусоидального сигнала изменяемой частоты на варикап подключаемый параллельно колебательного контура задающего генератора. Схема задающего генератора представлена на рисунке:

Импульсные измерительные генераторы.

Схема импульсного измерительного генератора представлена на рисунке:

Задающий генератор вырабатывая переменный сигнал несинусоидальной формы, частота которого регулируется в заданных пределах и определяет частоту следования импульсов выходного сигнала. Выполняется по схеме блокинг-генератора или мультивибратора. Формирующее устройство вырабатывает прямоугольные импульсы различной длительности с крутыми бортами, фазами и плоскими вершинами. В его состав могут входить: ограничители уровня для формирования плоской вершины (компараторы или диодные ограничители), триггеры для формирования крутых бортов и срезов. Генераторы обычно имеют также

вспомогательные устройства, схему внешнего запуска и выходное устройство импульсов синхронизации. Импульсы на выходе синхронизации опережают импульсы на основном выходе. Такая задержка часто необходима для запуска внешних приборов, например осциллографа. При чем эта задержка может регулироваться в регулирующем устройстве.

Осциллографы

Электронно-лучевые осциллографы.

Это электронный прибор, предназначенный для визуального наблюдения формы кривой эл. сигнала и изменение их параметров с помощью ЭЛТ. Наглядность – большое входное сопротивление, широкая полоса рабочих частот.

Классификация:

- 1) По количеству одновременно исследуемых сигналов (1,2 и многолучевые).
- 2) По характеру исследуемого процесса (непрерывного, многоимпульсные, однократного процесса)
- 3) По ширине полосы пропускания канала усиления (высокочастотные, низкочастотные, низкочастотные).

Общая структурная схема ЭЛТ осциллографа приведена на рисунке:

Используется с электростатическим отклонением луча в виде двух пар взаимно перпендикулярных пластин. Принцип отображения формы сигнала на экране ЭЛТ заключается в следующем – исследуемый сигнал, как функция времени отображается на экране в прямоугольной системе координат, абсциссой которой является ось X (амплитуда), а осью ординат мгновенное значение сигнала. Двери пластин отклоняют фокусирующий луч в взаимно перпендикулярных направлениях, которые можно рассматривать как координатные оси. Отклонение луча по оси происходит за счет разности потенциалов между пластин. Горизонтальному отклонению положенного луча отводится роль оси времени, а вертикальному ось мгновенного значения. Для получения равномерной оси времени необходимо, чтобы луч ЭЛТ отклонился в горизонтальном направлении с постоянной скоростью. С этой целью к горизонтальным пластинам подводят пилообразное напряжение, которое с постоянной скоростью отклоняет луч слева направо на всю ширину экрана, а потом быстро возвращает его налево и процесс повторяется. Исследуемый сигнал подводится к вертикальным отклоняющим пластинам, т.о. на экране ЭЛТ вырисовывается график зависимости в масштабе “Y” функция от “X”, $Y=F(X)$. Канал вертикального отклонения (канал сигнала) служит для преобразования напряжения исследуемого сигнала соответствующего отклонению луча по вертикали. Состоит из входного устройства, включает в себя входной разъем переключающий режимы входной цепи, позволяющий отделить постоянную составляющую входного сигнала.

Аттюниатор-делитель – для калиброванного ослабления сигнала. Состоит из: усилителя усиливающего сигнал до уровня необходимого отклонения по вертикали. Канал горизонтального отклонения (канал развертки и синхронизации) служит для формирования напряжения вызывающего горизонтальные отклонения луча, усиление сигнала синхронизирующего частоту усиления сигналов.

Канал управления яркости – предназначен для усиления сигнала управляющей яркости своим калибратором длительности, предназначен для измерения временных характеристик исследуемых сигналов (периода колебания и т.д.).

Калибратор длительности – предназначен для измерения временных характеристик исследуемого сигнала (период колебания).

Калибратор напряжения – предназначен для изменения амплитуды исследуемого сигнала, как правило это источник стабильного напряжения или переменного, или стабильного тока.

Назначение и виды разверток.

Для осциллографических измерений в осциллографах применяют следующие виды разверток:

- Линейная непрерывная
- Линейная ждущая
- Круговая

Вид развертки определяется формой напряжения приложенного к пластинам X.

Линейная непрерывная развертка: периодическое перемещение луча ЭЛТ по экрану вдоль оси с постоянной скоростью. Такой вид развертки применяют при исследовании периодических непрерывных процессов. Для получения этой развертки в канал X включается генератор пилообразного напряжения. Схема представлена на рисунке:

Период Тразв. состоит из времени прямого хода луча $t_{\text{прям}}$ в течении которого напряжение на пластинах X линейно возрастает и эл. луч перемещается с постоянной скоростью слева направо – развертка во времени изображения, и времени обратного хода $t_{\text{обр}}$ в течении которого напряжение быстро возвращается к начальному значению. Обычно линия обратного луча гасится. На экране ЭЛТ неподвижного изображения частота исследуемого сигнала должна в целое число раз превышать частоту развертки. Это достигается подбором частоты развертки т.о. генераторы развертки работают в широком и плавно регулируемом диапазоне частот. В следствии неизбежного колебания частот $f_{\text{вх}}$ и $f_{\text{разв}}$ их соотношение в течении времени может нарушиться, что приведет к перемещению изображения на экране, т.о. необходима постоянная подстройка частоты развертки. Чтобы избежать этого необходимо синхронизировать. Обычно его синхронизируют частотой исследуемого сигнала т.е. заставляют частоту развертки автоматически следовать за изменением входной частоты, для сохранения постоянства частоты. Такая синхронизация называется –

внутренней. Частоту развертки можно синхронизировать с частотой внешнего сигнала – внешняя синхронизация.

Линейная ждущая развертка: при исследовании импульсных периодических сигналов с большой скважностью или одиночных импульсов применение непрерывной развертки не целесообразно т.к. в этом случае изображение импульса принимает малую часть ЭЛТ. Кратковременный импульс при этом наблюдается в виде всплеска, для решения этой проблемы используют линейную ждущую развертку. При ней каждый импульс исследуемого сигнала допускает генератор который подает на горизонтальную пластину одиночный импульс пилообразной напряженности определенной длительности. Амплитудой необходимой для развертки на всю ширину экрана. Длительность ждущей развертки или ширину импульса можно изменить. Это осуществляется также регулировкой, что и при непрерывной развертки. Генератор вырабатывающий напряжение линейной ждущей развертки до прихода импульса запуска находится в режиме ожидания, разрешение на импульс развертывающий напряжение поступает на генератор несколько ранее, чем этот исследуемый импульс поступит на пластину вертикального отклонения т.е. в канал “Y” вводят линию задержки. Это позволяет наблюдать фронт импульса даже при очень большой величине крутизны. Запуск генератора может производиться импульсами положительными или отрицательной полярности, что позволяет наблюдать как передний ток задерживает фронт импульса.

Круговая развертка: применяется для измерения временных интервалов, частоты сигнала и т.д. Она получается в том случае, когда на часть отклоняющих пластин подают сигналы одной частоты со сдвигом фаз = 90°, вызывающие одинаковые отклонения луча “X,Y”.

Двухканальные, двухлучевые осциллографы.

Предназначены для наблюдения двух сигналов на одной ЭЛТ. Двухканальные осциллографы содержат 2 канала: вертикальные отклонения и эл. коммутатор, который попеременно передает сигналы каналов 1 и 2 на одни и те же вертикально отклоняющие пластины ЭЛТ. Такие осциллографы имеют следующие режимы работы:

- 1) Одноканальный (работает или на 1 или на 2 канале)
- 2) Чередование каналов (поочередное включение каналов после каждого хода развертки)
- 3) Прерывание (работают оба канала через эл. коммутатор)
- 4) Алгебраического сложения (одновременно работают оба канала на одновременную нагрузку)

В двухканальных осциллографах имеется 2 развертки – основная и задержанная. Основная обычная развертка, задержанная имеет свой генератор развертки и схему сравнения, что позволяет получать растяжку любого участка сигнала наблюдаемого на развертке.

Двухлучевой осциллограф.

Имеет специальную ЭЛТ с двумя лучами, т.е. имеет 2 электронно-оптические системы, 2 пары отклоняющих пластин, которые образуют два независимых луча поступающие на экран. В осциллографе 2 независимые пластины вертикального отклонения. Генератор развертки как правило общий, поэтому внутренняя синхронизация осуществляется либо от первого либо от второго канала. Каждая разновидность осциллографов имеет свои преимущества: двухлучевой позволяет наблюдать 2 сигнала отдельно (их применяют для исследования 2 не повторяющих сигналов) и при исследовании нестационарных процессов. Двухканальные имеют более лучшую стабильность и лучшие характеристики.

Выбор осциллографа и техника осциллографических измерений.

При выборе осциллографа определяющим фактором является достоверность наблюдаемого на экране сигнала т.е. его неискаженности. Для этого необходимо выполнение ряда условий заключающиеся как в правильном выборе тех. параметров осциллографа, так и в правильной годимости к исследуемому объекту.

Выбор режима работ: в выборе развертки и ее синхронизации в исследуемом сигнале.

Осуществляется в зависимости от:

Частотного спектра сигнала. Простые соединительные провода применяются при исследовании непрерывных сигналов низких и средних частот, а коаксиальные кабели при исследовании сигнала высокой частоты и импульсной. Также следует иметь ввиду, что при наблюдении постоянного или медленно меняющегося процесса вход осциллографа должен быть открыт.

Величины входного сигнала. Сигналы малой амплитуды подаются на вход "Y" при значительном напряжении входного сигнала 150-200В (точно этот предел определяется чувствительностью ЭЛТ, которая указана в тех. характеристиках осциллографа), исследуемый сигнал особенно импульсный целесообразно подавать непосредственно на вертикально отклоняющие пластины ЭЛТ, при этом искажения формы сигнала будет минимальным по сравнению если его подавать через усилитель канала "Y". При исследовании высоковольтных сигналов между источником сигнала или входом осциллографа или вертикально отклоняющие пластины включают делитель напряжения – выносной аттениатор. Он должен иметь большое входное сопротивление и малое выходное сопротивление. Последнее необходимо, чтобы входное сопротивление осциллографа не изменяло коэффициент передачи. Схема аттениатора на листе. Аттениатор должен сохранять постоянство коэффициента передачи во всей полосе частот пропускания осциллографа.

Рекомендуемая литература

1. Титце У., Шенк К. Полупроводниковая схемотехника: Справочное руководство, Пер. с нем. М.: Мир, 1982. 512 с
2. Ю. Р. Гнатек. Справочник по цифро-аналоговым и аналого-цифровым преобразователям. Пер. с англ. / Под ред. Ю. А. Рюжина. М.: Радио и связь, 1982. 420 с.: ил
3. Б. И. Горошков. Радиоэлектронные устройства: Справочник М.: Радио и связь, 1984. 400 с.: ил
4. В. Л. Шило. Популярныe цифровые микросхемы: Справочник М.: Радио и связь, 1987. 352 с
5. А. Ю. Гордонов, Ю. Н. Дьяков. Полупроводниковые БИС запоминающих устройств: Справочник. М.: Радио и связь, 1987. 360 с.: ил
6. С. М. Бородин, Ю. В. Новиков. Модуль логического анализатора для контрольно-измерительных систем на базе микроЭВМ
Микропроцессорные средства и системы. 1987. № 1. с. 67–68
7. С. М. Бородин, Ю. В. Новиков, А. П. Поддубный, А. А. Томчук
Средства отображения информации для микропроцессорных систем измерения, контроля и управления
Микропроцессорные средства и системы. 1988. № 3. с. 76–79
8. В. В. Овчинников, И. И. Рыбкин. Техническая база интерфейсов локальных вычислительных сетей. М.: Радио и связь, 1989. 272 с.: ил
9. Ю. В. Новиков. Универсальный параллельный интерфейс для модульных микропроцессорных систем измерения, контроля и управления
Микропроцессорные средства и системы. 1989. № 6. с. 71–72
10. Б. В. Шевкопляс. Микропроцессорные структуры. Инженерные решения: Справочник. 2-е изд. перераб. и доп. М.: Радио и связь, 1990 512 с.: ил
11. А. Ю. Гордонов, Ю. Н. Дьяков. Большие интегральные схемы запоминающих устройств: Справочник. М.: Радио и связь, 1990. 288 с.: ил
12. В. С. Чернега, В. А. Василенко, В. Н. Бондарев. Расчет и проектирование технических средств обмена и передачи информации М.: Высшая школа, 1990. 224 с.: ил
13. Б. Г. Федорков, В. А. Телец. Микросхемы ЦАП и АЦП: функционирование, параметры, применение. М.: Энергоатомиздат, 1990. 320 с.: ил
14. Ю. В. Новиков. Функциональные модули контрольно-измерительных систем на базе микроЭВМ
Микропроцессорные средства и системы. 1990. № 3. с. 75–77 У. Томпкинс, Дж. Уэбстер
Сопряжение датчиков и устройств ввода данных с компьютерами IBM PC М.: Мир, 1992. 592 с.: ил
15. А. М. Юшин. Цифровые микросхемы для электронных устройств: Справочник. М.: Высшая школа, 1993. 176 с.: ил

16. И. И. Петровский, А. В. Прибыльский, А. А. Троян, В. С. Чувелев: В 2-х ч. Логические ИС КР1533, КР1554: Справочник. М: “БИНОМ”, 1996
17. The TTL Data Book. Texas Instruments, 1997
18. Ю. В. Новиков, О. А. Калашников, С. Э. Гуляев. Разработка устройств сопряжения для персональных компьютеров типа IBM PC. Практ. пособие М.: ЭКОМ, 1997. 224 с.: ил
19. Б. Л. Перельман, В. И. Шевелев. Отечественные микросхемы и зарубежные аналоги: Справочник. М.: НТЦ Микротех, 1998. 376 с.: ил
20. Ю. В. Новиков, Д. Г. Карпенко. Аппаратура локальных сетей: функции, выбор, разработка. М.: ЭКОМ, 1998. 288 с.: ил
21. Гук М. Аппаратные средства IBM PC. Энциклопедия СПб: Питер Ком, 1999. 816 с.: ил
22. С. А. Бирюков. Применение цифровых микросхем серий TTL и КМОП М.: ДМК, 1999. 240 с.: ил
23. Ю. В. Новиков, С. В. Кондратенко. Локальные сети: архитектура, алгоритмы, проектирование. М.: ЭКОМ, 2000 312 с.: ил
24. Ю. В. Новиков. Основы цифровой схемотехники. М.: Мир, 2001. 379 с.: ил
25. Хоровиц П., Хилл У. Искусство схемотехники. Пер. с англ. 6-е изд. перераб. М.: Мир, 2001. 704 с.: ил
26. В. Б. Бродин, А. В. Калинин. Системы на микроконтроллерах и БИС программируемой логики. М.: ЭКОМ, 2002. 400 с.: ил
27. Е. П. Угрюмов. Цифровая схемотехника. Учебное пособие СПб.: ВHV-Санкт-Петербург, 2004. 782 с.: ил
28. И. М. Мышляева. Цифровая схемотехника. Учебник М.: Академия, 2005. 400 с.: ил
29. Ю. Ф. Опачий, О. П. Глудкин, А. И. Гуров. Аналоговая и цифровая электроника. Полный курс. Учебник для вузов .М.: Горячая линия Телеком, Радио и связь, 2005. 768 с.: ил